

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-170382

(P2002-170382A)

(43) 公開日 平成14年6月14日 (2002.6.14)

(51) Int.Cl.⁷

G11C 11/22

識別記号

501

F I

G11C 11/22

テーマコード(参考)

501K

501J

審査請求 未請求 請求項の数12 O L (全 25 頁)

(21) 出願番号 特願2001-258399(P2001-258399)

(22) 出願日 平成13年8月28日 (2001.8.28)

(31) 優先権主張番号 特願2000-284709(P2000-284709)

(32) 優先日 平成12年9月20日 (2000.9.20)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72) 発明者 宮川 正

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝マイクロエレクトロニクスセン

ター内

(72) 発明者 大脇 幸人

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝マイクロエレクトロニクスセン

ター内

(74) 代理人 100058479

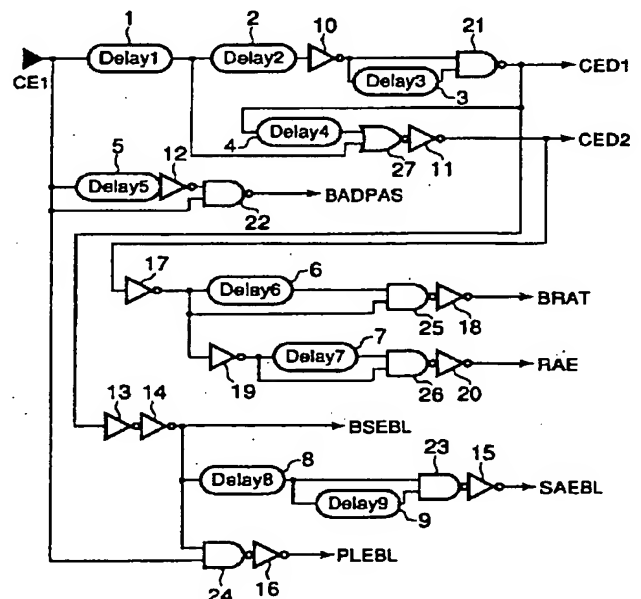
弁理士 鈴江 武彦 (外6名)

(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【課題】 強誘電体メモリにおいて、読み出し後のセルの再書き込みおよびデータ書き込み時に強誘電体キャパシタの分極を十分に行うことを目的としている。

【解決手段】 T C並列ユニット直列接続型強誘電体メモリにおいて、ワード線の電位を制御するコントロール回路内に第4遅延回路4を設けて、第2のチップイネーブル遅延信号CED2の立下りを遅延させることで、選択ワード線WLの立ち下がりから立ち上がり（選択解除）までの期間を延長させて、強誘電体キャパシタの両端に書き込み電圧を残すことにより、十分なデータ書き込み時間を得る。



1

【特許請求の範囲】

【請求項1】 各々、メモリセルを選択するセルトランジスタと、このセルトランジスタのソース、ドレイン間に接続された強誘電体キャパシタとを有し、かつ直列に接続されてメモリセルブロックを構成する複数個の読み出し及び書き込みが行われるメモリセルと、前記セルトランジスタのゲートに接続されたワード線と、前記複数個のメモリセルの一端に接続されたメモリセルブロック選択トランジスタと、このメモリセルブロック選択トランジスタに接続されたビット線と、前記複数個のメモリセルの他端に接続されたプレート線と、前記ブロック選択トランジスタがオフ状態となった後もセルトランジスタが選択状態を保つようにワード線を制御するワード線制御回路とを有することを特徴とする半導体記憶装置。

【請求項2】 各々、メモリセルを選択するセルトランジスタと、このセルトランジスタのソース、ドレイン間に接続された強誘電体キャパシタとを有し、かつ直列に接続されてメモリセルブロックを構成する複数個の読み出し及び書き込みが行われるメモリセルと、前記セルトランジスタのゲートに接続されたワード線と、前記複数個のメモリセルの一端に接続されたブロック選択トランジスタと、このブロック選択トランジスタに接続されたビット線と、前記複数個のメモリセルの他端に接続されたプレート線選択トランジスタと、このプレート線選択トランジスタに接続されたプレート線と、前記ブロック選択トランジスタ及び前記プレート線選択トランジスタがオフ状態となった後もセルトランジスタが選択状態を保つようにワード線を制御するワード線制御回路とを有することを特徴とする半導体記憶装置。

【請求項3】 前記ブロック選択トランジスタがオフ状態となつてから、次の読み出しサイクルまたは書き込みサイクルになるまで前記セルトランジスタを選択状態にする手段をさらに有することを特徴とする請求項1又は2いずれか1項記載の半導体記憶装置。

【請求項4】 前記ブロック選択トランジスタがオフ状態となつてから、一定時間前記セルトランジスタを選択状態にする手段をさらに有することを特徴とする請求項1又は2記載の半導体記憶装置。

【請求項5】 前記ブロック選択トランジスタがオフ状態となつてから、一定時間前記セルトランジスタを選択状態にする手段として遅延回路をさらに有することを特徴とする請求項4記載の半導体記憶装置。

【請求項6】 前記ワード線制御回路は、前記制御を、

2

前記ブロック選択トランジスタがオフ状態となった後、チップ・イネーブル信号が次にレベル変化するまで前記ワード線を選択状態に保ち前記セルトランジスタを選択状態に保つことにより行うことを特徴とする請求項1又は2いずれか1項記載の半導体記憶装置。

【請求項7】 前記ワード線制御回路は、前記制御を、前記ブロック選択トランジスタがオフ状態となった後、次の読み出しサイクルまたは書き込みサイクルになるまで前記ワード線を選択状態に保ち前記セルトランジスタを選択状態に保つことにより行うことを特徴とする請求項1又は2いずれか1項記載の半導体記憶装置。

【請求項8】 前記ワード線制御回路は遅延回路を有し、前記制御を、前記ブロック選択トランジスタがオフ状態となった後、この遅延回路により所定時間前記ワード線を選択状態に保ち前記セルトランジスタを選択状態に保つことにより行うことを特徴とする請求項1又は2いずれか1項記載の半導体記憶装置。

【請求項9】 前記セルトランジスタを選択状態を保つことは前記セルトランジスタをオフ状態を保ち前記強誘電体キャパシタの両端を非短絡とすることであることを特徴とする請求項1乃至8のいずれか1項に記載の半導体記憶装置。

【請求項10】 前記ビット線プリチャージ電位は接地電位であることを特徴とする請求項1乃至8のいずれか1項に記載の半導体記憶装置。

【請求項11】 前記ビット線プリチャージ電位は電源電圧の1/2であることを特徴とする請求項1又は2いずれか1項記載の半導体記憶装置。

【請求項12】 前記ビット線プリチャージ電位は電源電圧であることを特徴とする請求項1又は2いずれか1項記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、強誘電体膜を使用した半導体記憶装置に係り、特に高集積化された半導体記憶装置に関する。

【0002】

【従来の技術】強誘電体メモリはフラッシュメモリのような不揮発性とDRAMのような高速アクセス、高速書き換えを兼ね備えて、さらに低電圧／低消費電力動作が可能であるといった利点がある。強誘電体メモリのセル構造に関してはDRAMセルと同様な1トランジスタ1キャパシタ型メモリセルによる開発が広く進められてきた。

【0003】強誘電体メモリセルは図27に示すような分極方向が上向きか下向きで“1”状態と“0”状態を記憶させる。図27に示されるようにゲートがワード線WLに接続され、ソースがビット線BLに接続されたセルトランジスタ100が、プレート線PLに一方の電極が接続されたキャパシタ101の他方の電極であるノー

10

20

30

40

50

3

ドCに接続されている。この強誘電体キャパシタの分極量は強誘電体キャパシタに電圧印加する時間に依存し、時間を長くすると、より飽和分極量に近づくことからデバイスにおいても書き込み時間を長くすると十分な分極量が得られ、データ保持特性が向上する。

【0004】従来の一般的な1トランジスタ1キャパシタ型のメモリセルではセルデータ保持の信頼性を高めるためにデータ書き込み後に強誘電体キャパシタ両端の電圧を保持して、十分な分極をさせていた。すなわち、アクティブ状態が終了した後、ワード線を非選択にし、図27に示すノードCにビット線電位を閉じ込めた状態で、ノードCとプレート線PL間の電位差で強誘電体キャパシタに書き込み電位を印加して十分な書き込みを行う方法である。

【0005】ここで、セルトランジスタ(T)のソース・ドレイン間にキャパシタ(C)の両端をそれぞれ接続したものをユニットセルとし、このユニットセルを複数個直列に接続して成る強誘電体メモリ(以下TC並列ユニット直列接続型強誘電体メモリという)が高速性、高集積性を改善でき、注目を集めている。この強誘電体メモリは「ISSCC Tech. Dig. Papers, pp. 102-103, Feb. 1999「A Sub-40ns Random-Access Chain FRAM Architecture with a 7ns Cell-Plate-Line Drive」」に記載されている。

【0006】この構成では、図28に示される通り、Nチャンネルトランジスタからなるセルトランジスタ102とキャパシタ103とが並列接続されて、1つのメモリセル104が構成されている。メモリセル104が複数個直列に接続されて、メモリセルブロック105を構成している。このメモリセルブロック105の対が多段(図28では1段)に配置されて、各対のメモリセルブロック105それぞれが対応するビット線BL、BLBとプレート線PL1、PL2との間に配置されている。それぞれのメモリブロック105のビット線BL、BLBとメモリセル104との間にはゲートにブロック選択線BS0、BS1が接続されたブロック選択トランジスタ106がそれぞれ接続されている。

【0007】ここで、スタンバイモードでは、すべてのワード線WLが“H”レベルに設定されていて、各キャパシタの両端電極は短絡されている。活性化モードでは、選択されたワード線WLが“H”レベルから“L”レベルに変位し、ブロック選択線BSが“L”レベルから“H”レベルに変位する。その後、プレート線PLがV_{dd}レベルに変位し、選択されたキャパシタにV_{dd}電位を与える。そして、メモリセルのデータがビット線BLに読み出される。その一方で非選択キャパシタは短絡された状態で保持される。このようにして、ランダムアクセスがなされる。

【0008】図29にメモリセルへの読み出し/書き込みを制御するコントロール回路の構成が示される。この

4

コントロール回路は多段に直列接続された第1乃至第3及び第5乃至第9遅延回路107~114、ナンド回路115、インバータ回路116及びノア回路117を有している。このコントロール回路は、チップイネーブル信号CE1が入力され、上記各論理回路と遅延回路とにより、2つのチップイネーブル遅延信号CED1、CED2、アドレスバス信号BADPAS、ロウアドレスラッチ信号BRAT、ロウアドレスイネーブル信号RAE、ブロック選択イネーブル信号BSEBL、センスアンプイネーブル信号SAEBEL、及びプレート線イネーブル信号PLEBLを生成、出力している。

【0009】ここで、第1のチップイネーブル遅延信号CED1はメモリセルアレイを制御するブロック選択線駆動回路(図示せず)、プレート線PL、及びセンスアンプ(図示せず)をそれぞれ駆動する信号を制御する信号である。また、第2のチップイネーブル遅延信号CED2はアドレスバッファ(図示せず)を制御してワード線WLのタイミングを制御する信号であり、アドレスバッファを駆動するロウアドレスラッチ信号BRAT、及びロウアドレスイネーブル信号RAEを制御する。また、アドレスバス信号BADPASは、外部アドレス信号をアドレスバッファに送るタイミングを制御し、ブロック選択イネーブル信号BSEBLはブロック選択線駆動回路を制御する信号である。また、センスアンプイネーブル信号SAEBELはセンスアンプを制御する信号である。さらにプレート線イネーブル信号PLEBLはプレート線PLを制御する信号である。

【0010】ここで、チップイネーブル信号CE1は外部信号CEBを入力バッファ(図示せず)の出力信号で、アクティブ動作時には“H”レベルであり、スタンバイ時には“L”レベルとなる。

【0011】図30には、従来のTC並列ユニット直列接続型強誘電体メモリの図28および図29に示される回路における読み出し時の入出力信号及び各ノードの信号チャートが示されている。図中、各信号は点線で示されるタイミングにおいて同期が採られている。

【0012】外部チップイネーブル信号CEBは所定期間だけ“H”レベルから“L”レベルに変位する状態が示されている。

【0013】この外部チップイネーブル信号CEBの“H”レベルから“L”レベルへ変位したタイミングで、チップイネーブルバッファから出力されたチップイネーブル信号CE1は、“L”レベルから“H”レベルへ変位する。外部チップイネーブル信号CEBが“L”レベルから“H”レベルへ変位したタイミングで、チップイネーブル信号CE1は“H”レベルから“L”レベルに変位する。

【0014】第1のチップイネーブル遅延信号CED1はチップイネーブル信号CE1の“L”レベルから“H”レベルへの変位のタイミングから時間④に加えて

5

時間②経過後に“L”レベルから“H”レベルに変位する。さらに第1のチップイネーブル遅延信号CED1はチップイネーブル信号CE1の“H”レベルから“L”レベルへの変位のタイミングから時間①、時間②に加えて時間③経過後に“H”レベルから“L”レベルに変位する。この時間①、②、③の合計は約20ns秒である。

【0015】第2のチップイネーブル遅延信号CED2はチップイネーブル信号CE1が“L”レベルから“H”レベルへ変位してから、時間①経過後に“L”レベルから“H”レベルに変位する。さらに第2のチップイネーブル遅延信号CED2は第1のチップイネーブル遅延信号CED1が“L”レベルへ変位したタイミングで、“H”レベルから“L”レベルに変位する。

【0016】アドレスバス信号BADPASはチップイネーブル信号CE1が“L”レベルから“H”レベルへ変位するタイミングで“H”レベルから“L”レベルに変位する。“L”レベル変位後、時間⑤経過後に再び“L”レベルから“H”レベルに変位する。

【0017】ロウアドレスラッチ信号BRATは第2のチップイネーブル遅延信号CED2が“L”レベルから“H”レベルへ変位したタイミングで“H”レベルから“L”レベルに変位する。また、ロウアドレスラッチ信号BRATは第2のチップイネーブル遅延信号CED2が“H”レベルから“L”レベルへ変位した後、時間⑥経過後、“L”レベルから“H”レベルに変位する。

【0018】ロウアドレスイネーブル信号RAEは、第2のチップイネーブル遅延信号CED2の“L”レベルから“H”レベルへの変位のタイミングから時間⑦経過後、“L”レベルから“H”レベルへ変位する。また、ロウアドレスイネーブル信号RAEは第2のチップイネーブル遅延信号CED2が“H”レベルから“L”レベルへ変位したタイミングで、“H”レベルから“L”レベルに変位する。

【0019】ワード線WL1はロウアドレスイネーブル信号RAEが“L”レベルから“H”レベルへ変位したタイミングで、デコーダ（図示せず）で選択され、“その電位は、H”レベルから“L”レベルへ変位する。また、ワード線WL1はロウアドレスイネーブル信号RAEが“H”レベルから“L”レベルへ変位したタイミングで、非選択となり、その電位は“L”レベルから“H”レベルへ変位する。

【0020】ブロック選択線BS0の電位は第1のチップイネーブル遅延信号CED1が“L”レベルから“H”レベルへ変位したタイミングで“L”レベルから“H”レベルへ変位する。また、ブロック選択線BS0は第1のチップイネーブル遅延信号CED1が“H”レベルから“L”レベルへ変位したタイミングで“H”レベルから“L”レベルへ変位する。ここで、ブロック選択線BS0が“H”レベルの場合には、ビット線とメモリセルとが接続された状態となる。

6

【0021】プレート線PL2の電位は第1のチップイネーブル遅延信号CED1が“L”レベルから“H”レベルへ変位したタイミングで、“L”レベルから“H”レベルへ変位する。また、プレート線PL2の電位はチップイネーブル信号CE1が“H”レベルから“L”レベルへ変位するタイミングで、“H”レベルから“L”レベルへ変位する。

【0022】センスアンプ制御信号SAは、第1のチップイネーブル遅延信号CED1が“L”レベルから“H”レベルへ変位したタイミングから時間⑧に加えて時間⑨経過後に、“L”レベルから“H”レベルへ変位する。また、センスアンプ制御信号SAは、第1のチップイネーブル遅延信号CED1が“H”レベルから“L”レベルへ変位したタイミングから時間⑩経過後に、“H”レベルから“L”レベルへ変位する。

【0023】ビット線BLBの電位は、プレート線PL2の電位が“L”レベルから“H”レベルになることにより、選択メモリセルの電荷がビット線に転送され、メモリセルのデータに応じた電位になる。ビット線BLBの電位は、さらに、センスアンプSAが“L”レベルから“H”レベルになるタイミングでセンスアンプの動作によって、メモリセルのデータに応じて“H”レベルまたは“L”レベルに増幅される。また、ビット線BLBの電位は、それが“H”レベルの場合は、センスアンプ制御信号SAが“H”レベルから“L”レベルへ変位したタイミングで“L”レベルへ変位する。

【0024】ノードAの電位はブロック選択線BS0が“L”レベルから“H”レベルに変位した後、ビット線BLBと接続される。プレート線PL2が“L”レベルから“H”レベルに変位するタイミングでビット線BLBがメモリセルのデータに応じたビット線電位に変化し、ノードAもそのビット線電位に変化する。さらに、センスアンプ制御信号SAが“L”レベルから“H”レベルに変位するタイミングで、ビット線と同様にノードAは“H”レベル又は“L”レベルとなる。また、ブロック選択線BS0が“H”レベルから“L”レベルに変化し、その後、ワード線WL1電位が“L”レベルから“H”レベルへ変化したタイミングでセルトランジスタ102がオン状態となることで、ノードAとノードBが短絡される。この時、メモリセルのすべてのセルトランジスタがオン状態であることから、ノードAとノードBの電位は、プレート線PL2のレベルと等しくなる。

【0025】

【発明が解決しようとする課題】以上のような従来の半導体記憶装置では、以下の課題が生じる。

【0026】従来のT/C並列ユニット直列接続型強誘電体メモリのセル構造では、従来の1トランジスタ1キャパシタ型のメモリセルと同様にアクティブ状態の終了と同時にワード線を非選択状態にする動作を行った場合には、強誘電体キャパシタの両端を短絡してしまう。その

ため、書き込み電圧を印加し続けることはできない。

【0027】すなわち、従来のTC並列ユニット直接続型強誘電体メモリのセル構造では、1トランジスタ1キャパシタ型セルにおいて得られる長い再書き込み時間及び書き込み時間を確保して1トランジスタ1キャパシタ型セルにおいて得られるのと同様の書き込み特性を得ることが困難であった。

【0028】特に強誘電体薄膜の特性によっては、10n秒から40n秒の書き込み時間の高速書き込みを行った場合、10mVから20mVの間で書き込み電圧が変動した場合にデータの保持特性に差が生じてしまっていた。

【0029】特に読み出し後の再書き込みを行う動作では、書き込みを指示する選択ワード線WLの電位はブロック選択線BSが“H”レベルから“L”レベルに変化するタイミングから速やかに“L”レベルから“H”レベルに変化していた。

【0030】このように従来の半導体記憶装置では、ブロック選択線BSとワード線WLをほぼ同時に非選択状態にしていたため、再書き込みに要する時間が十分確保されていなかった。

【0031】図30に示されるワード線WL1電位の信号波形線上に示されるように“0”再書き込み時間、“1”書き込み時間が設定される。特に“1”再書き込み時間は遅延回路1～3による遅延時間①、②、③によって設定され、約20n秒に設定される。

【0032】このため、セルの分極が十分に行われず、読み出し時のビット線電位が低下する。このため、セルデータの保持特性が悪くなり、信頼性が著しく悪化した。

【0033】本発明の目的は以上のような従来技術の課題を解決することにある。特に本発明では、セルデータの書き込みを十分に行うことができ、データ保持特性が向上した強誘電体メモリデバイスを有する半導体記憶装置を提供することを目的とする。

【0034】

【課題を解決するための手段】本発明の第1の視点の半導体記憶装置は、各々、メモリセルを選択するセルトランジスタと、このセルトランジスタのソース、ドレイン間に接続された強誘電体キャパシタとを有し、かつ直列に接続されてメモリセルブロックを構成する複数個の読み出し及び書き込みが行われるメモリセルと、前記セルトランジスタのゲートに接続されたワード線と、前記複数個のメモリセルの一端に接続されたメモリセルブロック選択トランジスタと、このメモリセルブロック選択トランジスタに接続されたビット線と、前記複数個のメモリセルの他端に接続されたプレート線と、前記ブロック選択トランジスタがオフ状態となった後もセルトランジスタが選択状態を保つようにワード線を制御するワード線制御回路とを有することを特徴としている。

【0035】本発明の第2の視点の半導体記憶装置は、各々、メモリセルを選択するセルトランジスタと、このセルトランジスタのソース、ドレイン間に接続された強誘電体キャパシタとを有し、かつ直列に接続されてメモリセルブロックを構成する複数個の読み出し及び書き込みが行われるメモリセルと、前記セルトランジスタのゲートに接続されたワード線と、前記複数個のメモリセルの一端に接続されたブロック選択トランジスタと、このブロック選択トランジスタに接続されたビット線と、前記複数個のメモリセルの他端に接続されたプレート線選択トランジスタと、このプレート線選択トランジスタに接続されたプレート線と、前記ブロック選択トランジスタ及び前記プレート線選択トランジスタがオフ状態となった後もセルトランジスタが選択状態を保つようにワード線を制御するワード線制御回路とを有することを特徴としている。

【0036】

【発明の実施の形態】次に、図面を参照して、本発明の実施の形態を説明する。以下の図面の記載において、同一又は類似の部分には、同一又は類似の符号を付している。

【0037】（第1の実施の形態）本発明にかかる第1の実施の形態にかかる半導体記憶装置を、図1乃至図6を用いて説明する。

【0038】図2に本発明の第1の実施の形態の半導体記憶装置の構成が示される。

【0039】外部信号CEBを入力とするチップイネーブルバッファ30は、チップイネーブル信号CE1をコントロール回路31に出力している。このコントロール回路31は、アドレスバッファ32にアドレスバス信号BADPAS、ロウアドレスラッチ信号BRAT、ロウアドレスイネーブル信号RAEを出力している。

【0040】このアドレスバッファ32には、外部アドレス信号Aiが入力され、プリデコーダ33にアドレス信号Ali、BAliを出力している（以下iは0以上の整数である）。

【0041】入出力バッファ34はデータDiが入出力されている。

【0042】ブロック選択線制御回路35は、コントロール回路31からブロック選択イネーブル信号BSEB Lが入力され、またプリデコーダ33からアドレス信号XA、XB、XCが入力される。

【0043】ワード線駆動回路36は、プリデコーダ33からアドレス信号XA、XB、XCが入力される。

【0044】プレート線制御回路37は、コントロール回路31からプレート線イネーブル信号PLEBLが入力され、またプリデコーダ33からアドレス信号XA、XB、XCが入力される。

【0045】メモリセルアレイ38には、ブロック選択線制御回路35からアドレス信号XA、XB、XCによ

りデコードされる複数本のブロック選択信号BS_iが入力され、ワード線駆動回路36からアドレス信号XA、XB、XCによりデコードされる複数本のワード線WL_j（jは0以上の整数）が入力され、プレート線制御回路37からアドレス信号XA、XB、XCによりデコードされる複数本のプレート線PL_iの電位が入力される。このメモリセルアレイ38からは、データ線電位VBIT_iが出力される。

【0046】センスアンプ／入出力回路39には、メモリセルアレイ38からデータ線電位VBIT_iが入力され、またコントロール回路31からセンスアンプイネーブル信号SAEBLが入力される。このセンスアンプ／入出力回路39は入出力バッファ34に読み出し／書き込みデータRWD_iを出力している。

【0047】図1に、本発明の第1の実施の形態のコントロール回路31の構成が示される。このコントロール回路は第1乃至第9の遅延回路1～9、第1乃至11インバータ10～20、第1乃至第6ナンド回路21～26及び第1ノア回路27を有している。各遅延回路は例えば偶数個直列に接続したインバータなどで構成される。

【0048】第1遅延回路1にはチップイネーブル信号CE1が入力され、遅延された信号が第2遅延回路2及び第1ノア回路27に出力される。

【0049】第2遅延回路2は第1インバータ10に信号を出力している。第1インバータ10は第3遅延回路3及び第1ナンド回路21に信号を出力している。

【0050】第1ナンド回路21は第1のチップイネーブル遅延信号CED1を出力し、この出力信号CED1は第4遅延回路4、第4インバータ13に入力されている。

【0051】第4遅延回路4は出力信号を第1ノア回路27に出力し、この第1ノア回路27は第2インバータ11に出力信号を出力している。この第2インバータ11はその出力として第2のチップイネーブル遅延信号CED2を出力し、この信号は第8インバータ17に出力されている。

【0052】第5遅延回路5にはチップイネーブル信号CE1が入力され、第3インバータ12に出力信号が出力されている。この第3インバータ12の出力とチップイネーブル信号CE1が第2ナンド回路22に入力され、アドレスバス信号BADPASが出力されている。

【0053】第4インバータ13は第5インバータ14に出力信号を出力し、この第5インバータ14はブロック選択イネーブル信号BSEBLを出力し、この信号は第8遅延回路8及び第4ナンド回路24に出力されている。

【0054】第8遅延回路8は第9遅延回路9及び第3ナンド回路23に出力信号を出力している。

【0055】第9遅延回路9は第3ナンド回路23に出

力信号を出力している。

【0056】第3ナンド回路23は第6インバータ15に出力信号を出力している。

【0057】第6インバータ15はセンスアンプイネーブル信号SAEBLを出力している。

【0058】第4ナンド回路24はチップイネーブル信号CE1が入力され、第7インバータ16に出力信号を出力している。この第7インバータ16はプレート線イネーブル信号PLEBLを出力している。

【0059】第8インバータ17はその出力信号を第6遅延回路6、第5ナンド回路25及び第10インバータ19に出力している。

【0060】第6遅延回路6はその出力信号を第5ナンド回路25に出力している。第5ナンド回路25はその出力信号を第9インバータ18に出力している。この第9インバータ18は、ロウアドレスラッチ信号BRATを出力する。

【0061】第10インバータ19はその出力信号を第7遅延回路7及び第6ナンド回路26に出力している。第7遅延回路はその出力信号を第6ナンド回路26に出力している。この第6ナンド回路26は第11インバータ20に出力信号を出力している。

【0062】第11インバータ20はロウアドレスイネーブル信号RAEを出力している。

【0063】図3に、本発明の第1の実施の形態の、TC (Transistor-Capacitor) 並列ユニット直列接続型強誘電体メモリのメモリセルアレイ38の構成が示される。

【0064】図3に示される強誘電体メモリセルアレイ38は、ワード線とビット線の交点に1つのNチャネルのセルトランジスタ40及びこのセルトランジスタ40のソース、ドレイン間に接続された1つの強誘電体キャパシタ41からなる強誘電体メモリセル（以後メモリセルと称する）42複数から成っている。

【0065】例えば8個のメモリセル42を直列に接続したメモリセル群43を複数対（例示的に一対を示す）多段に構成し、該メモリセル群43の1端はそれぞれブロック選択信号BS0、BS1で制御される選択トランジスタ44を介して、それぞれ対応するビット線BL、BLBに接続され、他端はプレート線PL1、PL2に接続されている。

【0066】メモリセル42内のセルトランジスタ40はゲートにメモリセル選択線であるワード線たとえばWL1に接続されていて、ワード線WL1に入力されるワード線駆動信号がHレベルの場合に導通して、そのソース、ドレイン間に接続されたキャパシタ41の二つの電極を同電位に設定して、当該キャパシタ41を非選択状態とする。また、ワード線駆動信号がLレベルの場合にはセルトランジスタ40は非導通となり、そのソース、ドレイン間に接続されたキャパシタ41が選択される。ここで、メモリセルの個数は16個でもよく、他の個数

11

であっても構わない。

【0067】図4には本実施の形態におけるアドレスバッファ32の回路構成が示される。

【0068】ノア回路50には、アドレスバス信号BADPAS及びアドレス信号Aiが入力され、第1インバータ54に出力信号が出力されている。

【0069】この第1インバータ54からは互いのソース・ドレインが接続された二つのトランジスタが並列接続されたトランスファゲート51の二つのソース・ドレイン・ノードの一方に出力される。

【0070】このトランスファゲート51の2つのゲートの一方はロウアドレスラッチ信号BRATに接続されている。このロウアドレスラッチ信号BRATは第2インバータ55に入力されている。この第2インバータ55の出力信号はトランスファゲート51の2つのゲートの他方に入力されている。

【0071】トランスファゲート51の二つのソース・ドレイン・ノードの他方は一方の出力端が他方の入力端に互いに接続された第3及び第4インバータ56、57の二つのノードの一方に接続されている。

【0072】この第3及び第4インバータ56、57の二つのノードの他方は第5インバータ58及び第2ナンド回路53の入力端に接続されている。

【0073】第5インバータ58の出力信号とロウアドレスイネーブル信号RAEは第1ナンド回路52に入力される。

【0074】この第1ナンド回路52の出力信号は第6インバータ59に出力される。この第6インバータ59はアドレス信号A1iを出力する。

【0075】第2ナンド回路53には、ロウアドレスイネーブル信号RAEが入力され、第7インバータ60に出力信号が出力される。この第7インバータ60はアドレス信号BA1iを出力する。

【0076】このアドレスバッファ32では、アドレスバス信号BADPASが“L”レベルの期間に外部アドレス信号Aiに応じてインバータ54の出力レベルが決まる。Aiが“H”レベルのとき、インバータ54の出力も“H”レベルに、Aiが“L”レベルのとき、インバータ54の出力も“L”レベルになる。インバータ54の出力は、ロウアドレスラッチ信号BRATが“H”レベルの時トランスファゲート51がON状態となっているため、インバータ56の入力に転送される。その後、ロウアドレスラッチ信号BRATが“L”レベルに変わると、トランスファゲート51がOFF状態となり、相互接続されたインバータ56とインバータ57でインバータ56の出力がラッチされる。よって、ロウアドレスラッチ信号BRATが“L”レベルの状態、アドレスバス信号BADPASが“L”レベルから“H”レベルに変化しても、トランスファゲート51がOFF状態であるので、インバータ56の出力は変化しない。さらに、ロウ

12

アドレスイネーブル信号RAEが入力しているNAND52とNAND53は、RAEが“L”レベルの時は、それぞれの出力は“H”レベルに固定されインバータ59、インバータ60の出力のA1i、BA1iは“L”レベルに固定されている。インバータ56の出力ラッチ後、RAEが“H”レベルに変化すると、NAND52とNAND53の出力はインバータ56の出力レベルに従い“H”レベルまたは“L”レベルになり、アドレスバッファ32の出力A1i、BA1iはアドレスバス信号BADPASが“L”レベルの時に取り込んだ外部アドレスAiに従ったレベルになる。

【0077】次に、メモリセルアレイの動作について説明する。

【0078】スタンドバイ状態では、チップイネーブル信号CEB=“H”、各ワード線電位WL0~WL7=“H”、各ブロック選択線電位BS0~BS1=“L”、各プレート線電位PL1~PL2=“L”、各ビット線電位BL、BLB=“L”、メモリセル群43の内部ノード(ノードA、ノードBなど)=“L”となっている。ここで、“H”レベルは3Vから2.7Vの間で設定される。また、ビット線プリチャージ電位は接地電位である。

【0079】読み出し時は、外部チップイネーブル信号CEB=“L”で活性化され、外部アドレスで選択されるメモリセル選択信号線WLi、ブロック選択線BSi(iは自然数)が選択される。図5に、データが読み出される場合の信号チャートを示す。図5では、1つのビット線対の2本のビット線BL、BLBの信号波形は重ねて示されており、ここではWL1、BS0で選択されるメモリセル42が、ビット線BLBに接続される場合を説明する。

【0080】図5に示される各信号及び各ノードは図1、2、3及び4に示される半導体記憶装置内の回路図に示されたものを用いている。図中、各信号は点線で示されるタイミングにおいて同期が採られている。

【0081】このチップイネーブル信号CEBの“H”レベルから“L”レベルへ変位したタイミングで、チップイネーブルバッファ30から出力されたチップイネーブル信号CE1は、“L”レベルから“H”レベルへ変位する。所定期間経過後、外部チップイネーブル信号CEBが“L”レベルから“H”レベルへ変位したタイミングで、チップイネーブル信号CE1は“H”レベルから“L”レベルに変位する。

【0082】第1のチップイネーブル遅延信号CED1はチップイネーブル信号CE1の“L”レベルから“H”レベルへの変位のタイミングから時間①に加えて時間②経過後に“L”レベルから“H”レベルに変位する。さらに第1のチップイネーブル遅延信号CED1はチップイネーブル信号CE1の“H”レベルから“L”レベルへの変位のタイミングから時間①、時間②に加え

13

て時間③経過後に“H”レベルから“L”レベルに変位する。この時間①、②、③の合計は約20n秒である。

【0083】第2のチップイネーブル遅延信号CED2はチップイネーブル信号CE1が“L”レベルから

“H”レベルへ変位してから、時間①経過後に“L”レベルから“H”レベルに変位する。さらに第2のチップイネーブル遅延信号CED2は第1のチップイネーブル遅延信号CED1が“L”レベルへ変位し終わってから時間④の経過後、“H”レベルから“L”レベルに変位する。この時間④は第4遅延回路4における遅延時間であり、約20n秒～30n秒である。

【0084】アドレスバス信号BADPASはチップイネーブルCE1が“L”レベルから“H”レベルへ変位するタイミングで“H”レベルから“L”レベルに変位する。“L”レベル変位後、時間⑤経過後に再び“L”レベルから“H”レベルに変位する。

【0085】ロウアドレスラッチ信号BRATは第2のチップイネーブル遅延信号CED2が“L”レベルから“H”レベルへ変位したタイミングで“H”レベルから“L”レベルに変位する。また、ロウアドレスラッチ信号BRATは第2のチップイネーブル遅延信号CED2が“H”レベルから“L”レベルへ変位した後、時間⑥経過後、“L”レベルから“H”レベルに変位する。

【0086】ロウアドレスイネーブル信号RAEは、第2のチップイネーブル遅延信号CED2の“L”レベルから“H”レベルへの変位のタイミングから時間⑦経過後、“L”レベルから“H”レベルへ変位する。また、ロウアドレスイネーブル信号RAEは第2のチップイネーブル遅延信号CED2が“H”レベルから“L”レベルへ変位したタイミングで、“H”レベルから“L”レベルに変位する。

【0087】選択ワード線WL1はロウアドレスイネーブル信号RAEが“L”レベルから“H”レベルへ変位したタイミングでプリデコーダで選択され、その電位は“H”レベルから“L”レベルへ変位する。選択ワード線WL1が“L”レベルへ変位すると、セルトランジスタ42が選択状態、すなわち、オフ状態となる。セルトランジスタ42がオフ状態となることにより、強誘電体キャパシタ41の両端が非短絡となる。また、ワード線WL1はロウアドレスイネーブル信号RAEが“H”レベルから“L”レベルへ変位したタイミングで、非選択となり、その電位は“L”レベルから“H”レベルへ変位する。

【0088】ブロック選択線BS0の電位は第1のチップイネーブル遅延信号CED1が“L”レベルから“H”レベルへ変位したタイミングで“L”レベルから“H”レベルへ変位する。また、ブロック選択線BS0は第1のチップイネーブル遅延信号CED1が“H”レベルから“L”レベルへ変位したタイミングで“H”レベルから“L”レベルへ変位する。

14

【0089】プレート線PL2の電位は第1のチップイネーブル遅延信号CED1が“L”レベルから“H”レベルへ変位したタイミングで、“L”レベルから“H”レベルへ変位する。また、プレート線PL2の電位はチップイネーブル信号CE1が“H”レベルから“L”レベルへ変位するタイミングで、“H”レベルから“L”レベルへ変位する。

【0090】センスアンプ制御信号SAは、第1のチップイネーブル遅延信号CED1が“L”レベルから

“H”レベルへ変位したタイミングから時間⑧に加えて時間⑨経過後に、“L”レベルから“H”レベルへ変位する。また、センスアンプ制御信号SAは、第1のチップイネーブル遅延信号CED1が“H”レベルから“L”レベルへ変位したタイミングから時間⑩経過後に、“H”レベルから“L”レベルへ変位する。

【0091】ビット線BLBの電位は、プレート線PL2の電位が“L”レベルから“H”レベルになることにより、選択メモリセルの電荷がビット線に転送され、メモリセルのデータに応じた電位になる。ビット線BLBの電位は、さらにセンスアンプSAが“L”レベルから“H”レベルになるタイミングで、センスアンプによって増幅され、メモリセルのデータに応じて“H”レベルまたは“L”レベルに変位する。また、ビット線BLBの電位は、センスアンプ制御信号SAが“H”レベルから“L”レベルへ変位したタイミングで、“H”レベルの場合は“L”レベルへ変位する。

【0092】ノードAはブロック選択線BS0が“L”レベルから“H”レベルに変位した後、ビット線BLBと接続される。プレート線PL2が“L”レベルから“H”レベルに変位するタイミングでビット線BLBがメモリセルのデータに応じたビット線電位に変化し、またノードAもそのビット線電位に変化する。さらに、センスアンプ制御信号SAが“L”レベルから“H”レベルに変位するタイミングで、ビット線と同様にノードAは“H”レベル又は“L”レベルとなる。また、ブロック選択線BS0が“H”レベルから“L”レベルに変化し、かつその後、ワード線WL1電位が“L”レベルから“H”レベルへ変化したタイミングで、セルトランジスタ40がオン状態となることで、ノードAとノードB（図3）が短絡される。この時、すべてのメモリセルのセルトランジスタがオン状態であり、ノードAとノードBは、プレート線PL2のレベルと等しくなる。

【0093】図5に示されるように、遅延回路4（図4）による遅延時間④が新たに設定されたことで、ワード線WL1の“1”再書き込み時間が従来例である図30に示された動作における再書き込み時間に比べて長く設定されている。すなわち、時間①、②、③に④が加えられて、その合計時間は40n秒から50n秒の長さに設定できる。なお、遅延時間がこのように延長されても、ブロック選択信号BS0は時間④の期間には既に

15

“L”レベルとなっていて、そのためブロック選択トランジスタ44はオフ状態であり、ビット線BLBとメモリセル群43は選択トランジスタ44で切り離されている。このため、ビット線プリチャージを接地電位などにして、次の動作の準備を行うことが可能であり、動作速度を低下させることにはならない。

【0094】外部チップイネーブル信号CEBは約50n秒から100n秒の期間“L”レベル状態に設定される。ここでの読み出しは、“1”および“0”の信号線のちょうど中間の電位を発生するダミーセルをビット線BL側に接続し、基準電圧を発生する場合を例に挙げる。

【0095】チップイネーブル信号CE1が“L”レベルから“H”レベルへ変位した後、ワード線WL1電位が“H”レベルから“L”レベルに変位し、次にブロック選択信号BS0が“L”レベルから“H”レベルへ変位する。

【0096】その後、プレート信号線PL2が“L”レベルから“H”レベルへ変位し、メモリセル42の強誘電体キャパシタ41の情報がビット線BLBに転送され、その後、センスアンプ/入出力回路39で増幅されてビット線BLとBLBが“H”または“L”のあるいは“L”あるいは“H”のいずれかの相補の状態に決定される。選択メモリセル42が“1”データを記憶している場合はビット線BLB=“H”、ビット線BL=“L”であり、選択メモリセルが“0”データを記憶している場合はビット線BLB=“L”、ビット線BL=“H”となる。このビット線電位をセンスアンプ/入出力回路39で増幅し、入出力バッファ34からセンス結果を出力することで“1”または“0”のデータ読み出しが行われる。

【0097】ここで、強誘電体メモリセルの読み出しは“0”データ読み出しの際には、分極反転を伴わないが、“1”データ読み出しは分極反転を伴う。

【0098】“1”データ読み出し時は強誘電体キャパシタの分極方向を破壊しているため、読み出し後に書き込みを行う必要がある。

【0099】図5に示されるように読み出し後の再書き込みは、“0”データの再書き込みはプレート線PL2=“H”のままでビット線BLB=“L”の状態で行われる。

【0100】“1”データの読み出しの場合には、“1”データの再書き込みはプレート線PL2=“L”に下がってからビット線BLB=“H”の状態で行われる。

【0101】図3に示されるようなTC(Transistor-Capacitor)並列ユニット直列接続型強誘電体メモリでは、外部チップイネーブル信号CEB=“H”で読み出しを終了した時にワード線WLをすべて“H”レベルとして、全非選択にすることで選択ワード線WL1は“H”

16

レベルとなり強誘電体キャパシタの両端が短絡され強誘電体キャパシタ両端の電位差が無くなり書き込み状態が終了する。

【0102】本実施の形態では、分極反転した強誘電体キャパシタに再書き込みする“1”データの書き込み時間を十分に取るためにプレート線PLの“H”レベルから“L”レベルへの変位後、一定時間ワード線WLの選択状態を保ち、それにより書き込み後もメモリセル内の強誘電体キャパシタに電圧印加している。

【0103】プレート線PLが“H”レベル状態で“0”データの書き込み後、プレート線PL電位を立ち下げて、“1”データ書き込みが始まる。その直後にブロック選択線BSを立ち下げて、メモリセル群43とビット線BLBとが切り離される。プレート線PLの電位が立ち下った後に、選択ワード線WL1は一定時間選択状態(“L”状態)とされる。これによりノードAにビット線BLB電位、ノードBにプレート線PL電位(“L”レベル)が印加され続け、メモリセル42の強誘電体キャパシタ41に書き込み電圧がかかる。この間、強誘電体キャパシタ41は“1”データの書き込み状態を続けることができ、それにより十分な書き込みが可能となり、データの信頼性を確保できる。その後、選択ワード線WL1の立ち上がりで書き込み状態が終了し、スタンバイ状態となる。

【0104】データの書き込みについては、読み出した情報を書き込むのではなく、外部入力に応じた情報を書き込むのであるが、書き込み動作としては、読み出し後の再書き込みと同様のタイミングで行う。すなわち、プレート線PLの電位が立下りの後、一定時間、選択ワード線WL1の選択状態を保つことで書き込み後もメモリセル42の強誘電体キャパシタ41に電圧印加することができ、“1”データの十分な書き込みが可能となる。

【0105】ここで、本実施の形態における強誘電体メモリセルの書き込み時間と読み出し時の信号量の関係が図6に示される。ここでは膜厚0.22μmのPZT膜を利用し、かつ室温で測定した場合の結果が示されている。メモリセルの駆動電圧は2.2Vと2.5Vとの2つの場合が示されている。

【0106】まず、電源電圧が高い2.5Vの場合、メモリセル駆動電圧を2.5Vとすると、書き込み時間が従来例の20n秒では、180mVの信号量となる。この第1の実施の形態では書き込み時間は50n秒に延長されていて、信号量は210mVとなり、従来例の場合よりも17パーセント大きくなっている。

【0107】さらに電源電圧を2.2Vに低電圧化してメモリセル駆動電圧を2.2Vとすると、書き込み時間が従来例の20n秒では、70mVの信号量となる。これに対し、本実施の形態の書き込み時間50n秒では、信号量は120mVとなり、従来例よりも70パーセント大きくなっている。このようにメモリセルの駆動電圧

17

が低電圧化した場合に本実施の形態を用いることにより従来例に対して大きな信号線を確保することが可能となり、特に低電圧動作化された半導体記憶装置において、本実施の形態のメモリセル特性向上の効果が顕著である。

【0108】本実施の形態によれば、TC並列ユニット直列接続型強誘電体メモリにおいて、プレート線PLの立下りからメモリセル選択信号線であるワード線WLの立ち上がり（選択解除）までの間に時間遅延を設けて強誘電体キャパシタの両端間に書き込み電圧を残すことにより、十分なデータの書き込み時間を有することを可能とすることができる。すなわち、TC並列ユニット直列接続型強誘電体メモリを用いて、書き込み動作終了後でもメモリセルを構成する強誘電体キャパシタに書き込み電圧を印加し続けて十分な書き込みを行い、セルのデータ保持特性を向上させることが可能である。

【0109】（第2の実施の形態）本実施の形態では、装置の全体構成、セルアレイの構成、及びアドレスバッファの構成は、第1の実施の形態と同じく、図2、3、4の構成である。読み出し時の方法は第1の実施の形態と同じであるが、再書き込み時のタイミングが異なる。

【0110】図7に示されるように本実施の形態のコントロール回路の構成は図1に示される第1の実施の形態とはほぼ同様となっている。すなわち、図1における第4遅延回路4に替えて、第2、第3ノア回路65、66からなるフリップフロップ回路が追加されている。第2ノア回路65には第1のチップイネーブル遅延信号CED1及び第3ノア回路66の出力が入力されている。第3ノア回路66には第2ノア回路65の出力及びチップイネーブル信号CE1が入力されている。この第3ノア回路66の出力及びチップイネーブル信号CE1の遅延信号である第1遅延回路1の出力信号が第1ノア回路27に入力される。この第1ノア回路の出力が第2インバータ11を介して出力されるのが第2のチップイネーブル遅延信号CED2となる。

【0111】また、このコントロール回路では、第1の実施の形態におけるコントロール回路中の第6遅延回路6及び第5ナンド回路25に替えて、第12インバータ67が第7インバータ17と第8インバータ18との間に設けられ、第8インバータ18からはロウアドレスラッチ信号BRATが出力されている。

【0112】図8は、第2の実施の形態に関わる主要信号及びノードの読み出し時の信号チャートを示す。図中、各信号は点線で示されるタイミングにおいて同期が採られている。

【0113】図8に示されるように外部チップイネーブル信号CEBの最初の“H”レベルから“L”レベルへの変位から、ビット線BLBの“1”又は“0”レベルから“0”レベルへの変位までのタイミングは第1の実施の形態と同一である。

18

【0114】ここでは、外部チップイネーブル信号CEBが再び“H”レベルから“L”レベルへ変位したタイミングでチップイネーブル信号CE1が“L”レベルから“H”レベルへ変位し、第2のチップイネーブル遅延信号CED2、アドレスバス信号BADPASが“H”レベルから“L”レベルへ変位する。

【0115】第2チップイネーブル遅延信号CED2、アドレスバス信号BADPASが“H”レベルから“L”レベルへ変位したタイミングで、ロウアドレスラッチ信号BRATは“L”レベルから“H”レベルへ変位し、ロウアドレスイネーブル信号RAEは“H”レベルから“L”レベルへ変位する。

【0116】ロウアドレスイネーブル信号RAEが“H”レベルから“L”レベルへ変位したタイミングで、デコーダが非選択となりワード線WL1の電位は“L”レベルから“H”レベルへ変位する。

【0117】ワード線WL1電位は“L”レベルから“H”レベルへ変位したタイミングでノードAは“0”レベルに変位する。

【0118】図8に示されるように、読み出し後の再書き込みは、“0”データの再書き込みはプレート線PL=“H”のままでビット線BLB=“L”の状態で行われる。

【0119】“1”データの再書き込みについては、プレート線PL2電位が立下った後選択ワード線WL1を非選択にするタイミングを外部チップイネーブル信号CEBの立下りで行っている。このようにすることにより、次の読み出しサイクルの始まりまで、“1”データの書き込みを行うことができ、十分な“1”データの書き込みが可能となる。

【0120】データ書き込み時も同様にプレート線PL2の電位の立下り後選択ワード線WL1を非選択にするタイミングを外部チップイネーブル信号CEBの立下りで行っている。

【0121】なお、本実施の形態においても第1の実施の形態同様の効果を得ることができる。

【0122】（第3の実施の形態）本実施の形態では、装置の全体構成、セルアレイの構成、及びアドレスバッファの構成は、第1の実施の形態と同じく、図2、3、4の構成である。

【0123】この実施の形態では、プレート線PLの電圧を固定（たとえば電源電圧の1/2）している。また、ビット線プリチャージ電位も電源電圧の1/2である。

【0124】すなわち、読み出し時の方法は第1の実施の形態と同じであり、再書き込み時のタイミングも同じであるが、プレート線の電圧を固定（たとえば電源電圧の1/2）している点異なる。

【0125】図9に示されているように本実施の形態のコントロール回路の構成は図1に示される第1の実施の

19

形態とはほぼ同様となっている。しかしながら、図1における第4ナンド回路24及び第7インバータ回路16が取り除かれ、プレート線イネーブル信号PLEBLが発生されていない。本実施の形態では、プレート線PLをクロック制御する必要がなく、プレート線イネーブル信号PLEBLは不要となっている。

【0126】図10は、第2の実施の形態に関わる主要信号及びノードの読み出し時の信号チャートを示す。図中、各信号は点線で示されるタイミングにおいて同期が採られている。

【0127】図10に示されるようにビット線BLB電位及びノードAの電位は初期状態として電源電圧の1/2に設定されている。外部チップイネーブル信号CEBの最初の“H”レベルから“L”レベルへの変位から、ビット線BLBの、電源電圧の1/2のレベルから“1”又は“0”レベルへの変化、さらに“1”レベル又は“0”レベルから電源電圧の1/2のレベルへの変位までのタイミングは第1の実施の形態と同じである。

【0128】図10に示されるようにビット線BLB及びノードAの電位は、ブロック選択信号BS0=“L”から“H”のタイミングでメモリセルがビット線と接続されるため、“1”データ読み出しの場合は若干高くなる。“0”データ読み出しの場合は若干低くなる。ビット線BLB及びノードAの電位は、その後、時間⑥に時間⑦を加えた時間経過後、センスアンプ制御信号SAが“L”レベルから“H”レベルへ変位するタイミングで、“1”データ読み出しの場合は“H”レベルへ変位し、“0”データ読み出しの場合は“L”レベルへ変位する。

【0129】その後、第1の実施の形態と同じタイミングでビット線BLB及びノードAの電位は電源電圧の1/2へ変位する。ここで、第1の実施の形態とはビット線BLB及びノードAの電位が“L”レベルではなく、電源電圧の1/2へ変位する点異なる。

【0130】スタンドバイ状態では、外部チップイネーブル信号CEB=“H”、ワード線電位WL0~WL7=“H”、ブロック選択信号BS0~BS1=“L”、プレート線電位PL1~PL2=“電源電圧の1/2”、ビット線電位BL、BLB=“電源電圧の1/2”、メモリセル群の内部ノード(ノードA、ノードBなど)=電源電圧の1/2となっている。読み出し時は、外部チップイネーブル信号CEB=“L”で活性化され、外部アドレスで選択されるワード線WL_i、ブロック選択線BS_iが選択される。ここではワード線WL1、ブロック選択線BS0でメモリセル42が選択され、ビット線BLBに接続される場合を説明する。

【0131】この実施の形態では、リファレンスセルは用いず、ビット線電位が電源電圧の1/2より高いかまたは低いかでセル情報が“1”または“0”であるかを判定する。

20

【0132】読み出し後の書き込みは、ビット線センス後のビット線電位とプレート線電位とを強誘電体キャパシタの両端に印加して行う。ビット線をセンスアンプで増幅した後、ブロック選択信号BSを立ち下げても選択ワード線WLを選択状態に持続する。これにより、ワード線が非選択になってメモリセル42内の強誘電体キャパシタ41の両端の電位が短絡されるまで、書き込み電圧が強誘電体キャパシタ41に印加され続ける。

【0133】この実施の形態では、“0”データ、“1”データともこのタイミングで書き込み状態となる。図10に示されるように“0”データ書き込みの場合は、ノードAはセンス後のビット線電位であるGND、たとえば0V、となり、ノードBにはプレート線PLの電位である電源電圧の1/2(1.6V)となる。これにより、“0”データ書き込み状態となる。“1”データ書き込みの場合は、ノードAはセンス後のビット線電位である電源電圧、たとえば3.3V、となり、ノードBはプレート線PL電位である電源電圧の1/2(1.6V)となる。これにより、“1”データ書き込み状態となる。

【0134】ブロック選択信号BSを非選択(立下り)にした後でも選択ワード線WLは一定時間選択状態を保ち、“0”、“1”ともに、十分なデータの書き込みを行うことができる。

【0135】なお、強誘電体の膜の特性が、電源電圧の1/2の電位で十分に書き込み、データが保持できる場合には、この実施形態ではリファレンスセルを用いず、またプレート電位をクロック制御することなく読み出し、書き込み動作ができる点で好ましい。

【0136】なお、本実施の形態においても第1の実施の形態同様の効果を得ることができる。

【0137】(第4の実施の形態)本実施の形態では、装置の全体構成、セルアレイの構成、及びアドレスバッファの構成は、第1の実施の形態と同じく、図2、3、4の構成である。読み出し時の方法は第1の実施の形態と同じであるが、再書き込み時のタイミングが異なる。

【0138】本実施の形態は第2の実施の形態と第3の実施の形態を組み合わせたものである。

【0139】すなわち、この実施の形態では、再書き込み時のタイミングは第2の実施の形態の再書き込み時のタイミングと同じであり、プレート線PLの電圧は第3の実施の形態と同じ(たとえば電源電圧の1/2に固定)である。また、ビット線プリチャージ電位も電源電圧の1/2である。

【0140】図11に示されるように本実施の形態のコントロール回路の構成は図7に示される第2の実施の形態とはほぼ同様となっている。しかしながら、図7における第4ナンド回路24及び第7インバータ回路16が取り除かれ、プレート線イネーブル信号PLEBLが発生されていない。ここでは、プレート線PLをクロック制

21

御する必要がないためプレート線イネーブル信号PLEBLは不要となっている。

【0141】図12は、第4の実施の形態に関わる主要信号及びノードの読み出し時の信号チャートを示す。図中、各信号は点線で示されるタイミングにおいて同期が採られている。

【0142】図12に示されるように、ビット線BLB電位及びノードAの電位は初期状態として電源電圧の1/2に設定されている。外部チップイネーブル信号CEBの最初の“H”レベルから“L”レベルへの変位から、ビット線BLBの、電源電圧の1/2のレベルから“1”又は“0”レベルへの電位、さらに“1”又は“0”レベルから電源電圧の1/2のレベルへの変位までのタイミングは第3の実施の形態と同じである。

【0143】図12に示されるようにビット線BLB及びノードAの電位は“1”データ読み出しの場合は電位が若干高くなり、“0”データ読み出しの場合は電位が若干低くなる。その後、時間⑧に時間⑨を加えた時間経過後、センスアンプ制御信号SAが“L”レベルから

“H”レベルへの変位のタイミングで、“1”データ読み出しの場合は“H”レベルへ変位し、“0”データ読み出しの場合は“L”レベルへ変位する。その後、第2の実施の形態と同じタイミングでビット線BLB及びノードAの電位は電源電圧の1/2のレベルへ変位する。

【0144】スタンドバイ状態では、外部チップイネーブル信号CEB=“H”、ワード線電位WL0~WL7=“H”、ブロック選択信号BS0~BS1=“L”、プレート線電位PL1~PL2=“電源電圧の1/2”、ビット線電位BL、BLB=“電源電圧の1/2”、メモリセル群の内部ノード(ノードA、ノードBなど)=電源電圧の1/2となっている。読み出し時は、チップイネーブル信号CEB=“L”で活性化され、外部アドレスで選択されるワード線WL_i、ブロック選択線BS_iが選択される。ここではワード線WL₁、ブロック選択線BS₀でメモリセル4₂が選択され、ビット線BLBに接続される場合を説明する。

【0145】この実施の形態では、リファレンスセルは用いず、ビット線電位が電源電圧の1/2より高いかまたは低いかでセル情報が“1”または“0”であるかを判定する。

【0146】読み出し後の再書き込みは、ビット線センス後のビット線電位とプレート線電位とを強誘電体キャパシタの両端に印加して行う。ビット線をセンスアップで増幅した後、ブロック選択信号BSを立ち下げても選択ワード線WLを選択状態に持続する。これによりワード線が非選択になってメモリセル4₂の強誘電体キャパシタ4₁の両端の電位が短絡されるまで、書き込み電圧が強誘電体キャパシタ4₁に印加される。

【0147】この実施の形態では、“0”データ、“1”データともこのタイミングで書き込み状態とな

22

る。図12に示されるように“0”データ書き込みでは、ノードAはセンス後のビット線電位であるGND、たとえば0V、となり、ノードBはプレート線PLの電位である電源電圧の1/2(1.6V)となる。これにより、“0”データ書き込み状態となる。

【0148】“1”データ書き込みでは、ノードAにセンス後のビット線電位である電源電圧、たとえば3.3V、を印加し、ノードBにはプレート線PL電位である電源電圧の1/2(1.6V)を印加する。これにより、“1”データ書き込み状態となる。

【0149】ブロック選択信号BSを非選択(立下り)にした後でも選択ワード線WLは、外部チップイネーブル信号CEBが立ち下がる次のサイクルの始まりまで選択状態を保ち、“0”、“1”ともに、十分なデータの書き込みを行うことができる。

【0150】外部データの書き込み時も、読み出し時の再書き込みと同様のタイミングで“0”、“1”の書き込み動作が行われ、十分なデータの書き込みを行うことができる。

【0151】なお、強誘電体の膜の特性が、電源電圧の1/2の電位で十分に書き込み、データが保持できる場合には、この実施形態ではリファレンスセルを用いず、またプレート電圧をクロック制御することなく読み出し、書き込み動作ができる点で好ましい。

【0152】なお、本実施の形態においても第1の実施の形態同様の効果を得ることができる。

【0153】(第5の実施の形態)本実施の形態では、アドレスバッファの構成は、第1の実施の形態と同じく、図4の構成である。読み出し時の方法は第1の実施の形態と同じであるが、メモリセルとプレート線とを接続したり、切り離したりするためのスイッチ駆動回路70が新たに追加されており、ワード線選択解除時の駆動方法が第1の実施の形態と異なる。

【0154】第5の実施の形態の全体構成は図13に示される通りで、第1の実施例とはほぼ同様の構成となっている。第1の実施の形態と異なり、新たな信号すなわちプレート線接続イネーブル信号PSEBLがコントロール回路から発生されており、またメモリセルとプレート線とを接続したり、切り離したりするためのスイッチ駆動回路70が新たに追加されている。

【0155】第5の実施の形態のメモリセルアレイの構成は図14に示される通りである。図3に示された第1の実施の形態のメモリセルアレイに対して、メモリセル群4₃とプレート線PL₁、PL₂間にプレート線選択トランジスタ71を備えた構成になっている。ここで、プレート線選択トランジスタ71はそのゲートにプレート線接続信号PS0、PS1が入力されている。

【0156】第5の実施の形態のコントロール回路は図15に示される通りで、第1の実施の形態とほぼ同様の構成となっている。第1の実施の形態と異なり、第8イ

23

ンバタ17の出力信号が入力される第10遅延回路72が設けられ、この第10遅延回路72の出力信号、第1のチップイネーブル遅延信号CED1、及びチップイネーブル信号CE1が入力される第2ノア回路73が設けられている。さらにこの第2ノア回路73の出力信号が入力される第12インバタ74が備えられている。この第12インバタ74からプレート線接続イネーブル信号PSEBLが出力されている。

【0157】第5の実施の形態における主要信号及びノードの信号チャートは図16に示される通りで、第1の実施の形態における信号チャートとはほぼ同様である。図中、各信号は点線で示されるタイミングにおいて同期が採られている。

【0158】第1の実施の形態と異なり、プレート線接続信号PSの波形が加えられている。プレート線接続信号PSは読み出し動作から再書き込み動作の途中段階までは“H”レベルに設定されていて、第1のチップイネーブル遅延信号CED1が“H”レベルから“L”レベルへ変位したタイミングで、“H”レベルから“L”レベルへ変位する。その後、第2のチップイネーブル遅延信号CED2が“H”レベルから“L”レベルへ変位したタイミングから時間(10)の経過後に“L”レベルから“H”レベルへ変位する。

【0159】第5の実施の形態において、スタンバイ状態では、外部チップイネーブル信号CEB=“H”、ワードWL0~WL7=“H”、ブロック選択信号BS0~BS1=“L”、プレート線PL0~PL2=“L”、ビット線BL、BLB=“L”、プレート線接続信号PS0~PS1=“H”、メモリセル群の内部ノード(ノードA、ノードBなど)=“L”となっている。

【0160】読み出し時は、外部チップイネーブル信号CEB=“L”で活性化され、ワード線の立ち下げ、ブロック線選択信号BSの立ち上げ、センス動作までは第1の実施の形態と同様である。その間、プレート線接続信号PSは“H”であり、選択セルトランジスタ5はオン状態であり、プレート線PLとメモリセル群4とは接続されている。

【0161】第5の実施の形態での再書き込みは、第1の実施の形態と同様に、“0”データの再書き込みは、プレート線PL2は“H”の期間にビット線が“L”レベルのセルについて行い、“1”データの再書き込みは、“0”データの書き込み後、プレート線PL電位を立ち下げ、ビット線が“H”レベルのセルについて行う。再書き込み終了後、選択状態のワード線を(“L”状態)非選択状態(“H”状態)にする前に、ブロック選択信号BSとプレート線接続信号PSを“H”から“L”に下げて、メモリセル群とビット線、またメモリセル群とプレート線PLとが切り離す。プレート線PL電位が立下り後、選択ワード線WLは一定時間選択状態

24

(“L”状態)を続ける。選択ワード線WLを非選択状態(立ち上げ)にした後、プレート線接続信号PSを立ち上げる。ワード線が選択状態の間、ノードAにビット線電位、ノードBにプレート線PL電圧(“L”)が印加されつづけ、メモリセルAの強誘電体キャパシタに書き込み電圧がかかる。この間、強誘電体キャパシタは“1”データの書き込み状態を続けることができ、十分な書き込みが可能となる。

【0162】この実施の形態では、ワード線を立ち上げ、メモリセル42の強誘電体キャパシタの両端の電位を短絡するときにノードAとノードBの時定数がほぼ同じである。

【0163】第1の実施の形態ではプレート線PLは多くのビット線が共通に接続されており大きな容量(プレート容量)を持っているため、ノードAとノードBの時定数が大きく異なって、電位の変化が異なり、セルに意図せぬストレスがかかる可能性があったが、この実施の形態ではノードAとノードBとの容量アンバランスを取り除き、このストレスが生じにくくすることができる。

【0164】本実施の形態においても、ブロック選択線BSを立ち下げ後、メモリセルの書き込みを続けても、ビット線とメモリセル群は選択トランジスタで切り離されているため、ビット線プリチャージをこの例ではGND電位にすることが可能であり、次の読み出しサイクルの準備ができ、高速のサイクルタイムを実現できる。

【0165】データの書き込みについては、読み出した情報を書き込むのではなく、外部入力に応じた情報を書き込むのであるが、書き込み動作としては、読み出し後の再書き込み動作と同じ動作を同じタイミングで行う。すなわち、プレート線PL電位の立下り後、一定時間ワード線の選択状態を保つことで書き込み後もメモリセル42の強誘電体キャパシタに電圧印加することができ、“1”データの十分な書き込みが可能となる。

【0166】本実施の形態においても第1の実施の形態同様の効果を得ることができる。

【0167】(第6の実施の形態)本実施の形態では、アドレスバッファの構成、装置の全体構成、及びセルアレイの構成は、第5の実施の形態と同じく、図4、13、14の構成である。読み出し時の方法は第5の実施の形態と同じであるが、再書き込み時のタイミングが異なる。

【0168】図17に本実施の形態におけるコントロール回路の構成が示される。本実施の形態におけるコントロール回路は第2の実施の形態におけるコントロール回路とはほぼ同様である。第2の実施の形態と異なり、第8インバタ17の出力信号が入力される第10遅延回路72が設けられ、チップイネーブル信号CE1が入力される第11遅延回路75がさらに設けられている。この第10遅延回路72及び第11遅延回路75の出力信号、第1のチップイネーブル遅延信号CED1が入力さ

25

れる第2ノア回路73が設けられている。さらにこの第2ノア回路73の出力信号が入力される第12インバータ74が備えられている。第12インバータ74からプレート線接続イネーブル信号PSEBL出力される。

【0169】本実施の形態における主要信号及びノードの動作波形が図18に示される。図中、各信号は点線で示されるタイミングにおいて同期が採られている。

【0170】この実施の形態ではブロック選択信号BSが“H”レベルから“L”レベルへ変位するタイミングまでは第5の実施の形態と同一である。その後の動作波形はプレート線接続信号PS以外は第2の実施の形態と同一である。プレート線接続信号PSは、第2のチップイネーブル遅延信号CED2が“H”レベルから“L”レベルへ変位し終わったタイミングから時間(10)経過後に、“L”レベルから“H”レベルへ変位する。

【0171】本実施の形態では“1”データの再書き込みは、プレート線PL2電位が立下った後選択ワード線WL1を非選択にするタイミングを外部チップイネーブル信号CEBの立下りで行っている。このようにすることにより、次の読み出しサイクルの始まりまで“1”データの書き込みを行うことができ、十分な“1”データの書き込みが可能となる。

【0172】本実施の形態においても第5の実施の形態同様の効果を得ることができる。

【0173】(第7の実施の形態)本実施の形態では、アドレスバッファの構成、装置の全体構成、及びセルアレイの構成は、第5の実施の形態と同じく、図4、13、14の構成である。読み出し時の方法は第5の実施の形態と同じであるが、プレート線の電圧を固定(たとえば電源電圧の1/2)している点が異なる。また、ビット線プリチャージ電位も電源電圧の1/2である点も異なる。

【0174】第7の実施の形態におけるコントロール回路の構成は図19に示される通りであり、第3の実施の形態におけるコントロール回路の構成とはほぼ同様である。しかしながら、第3の実施の形態におけるコントロール回路に加えて、第8インバータ17の出力信号が入力される第10遅延回路72が設けられ、この第10遅延回路72の出力信号、第1のチップイネーブル遅延信号CED1、及び外部チップイネーブル信号CE1が入力される第2ノア回路73が設けられている。さらにこの第2ノア回路73の出力信号が入力される第12インバータ74が備えられている。第12インバータ74からプレート線接続イネーブル信号PSEBLが出力されている。

【0175】図20に第7の実施の形態の読み出し時の主要な信号及びノードの信号チャートが示される。図中、各信号は点線で示されるタイミングにおいて同期が採られている。

【0176】プレート線接続信号PSの波形が加えられ

26

ている以外は第3の実施の形態と同一となっている。プレート線接続信号PSの波形は第5の実施の形態と同一の波形となっている。

【0177】この実施の形態は、プレート線PL電圧を固定(たとえば電源電圧の1/2)している。

【0178】スタンドバイ状態では、チップイネーブル信号CEB=“H”、ワード線WL0~WL7=“H”、ブロック選択信号BS0~BS1=“L”、プレート線PL1~PL2=“電源電圧の1/2”、ビット線BL、BLB=“電源電圧の1/2”、プレート線接続信号PS0~PS1=“H”、メモリセル群の内部ノード(ノードA、ノードBなど)=電源電圧の1/2となっている。読み出し時は、外部チップイネーブル信号CEB=“L”で活性化され、外部アドレスで選択されるワード線WLi、ブロック選択信号BSiが選択される。ここではワード線WL1、ブロック選択信号BS0でメモリセル42が選択され、ビット線BLBに接続される。

【0179】この実施の形態では、リファレンスセルは用いず、ビット線電位が電源電圧の1/2より高いかまたは低いかでセル情報が“1”または“0”であるかを判定する。

【0180】読み出し後の再書き込みは、ビット線センス後のビット線電位とプレート線電位とを強誘電体キャパシタの両端に印加して行う。ビット線をセンスアンプで増幅した後、ブロック選択線BSとプレート線接続信号PSを立ち下げてもワード線WLは選択状態に持続される。これにより、ワード線が非選択になってメモリセル42の強誘電体キャパシタ41の両端の電位が短絡されるまで、書き込み電圧がキャパシタに印加される。

【0181】この実施の形態では、“0”データ、“1”データともこのタイミングで書き込み状態となる。

【0182】図20に示される通り、“1”データ書き込みには、ノードAはセンス後のビット線電圧である電源電圧、たとえば3.3V、となり、ノードBはプレート線PL電位である電源電圧の1/2(1.6V)となる。これにより、“1”データ書き込みとなる。

【0183】“0”データ書き込みには、ノードAはセンス後のビット線電圧であるGND、たとえば0V、となり、ノードBにはプレート線PL電位である電源電圧の1/2(1.6V)となる。これにより、“0”データ書き込みとなる。

【0184】ワード線を立ち上げた後、プレート線接続信号PSを立ち上げ、メモリセル群43とプレート線PLとを接続する。ビット線電位確定後からワード線が非選択になるまで、強誘電体キャパシタは“0”又は“1”データの書き込み状態を続けることができ、十分な書き込みが可能となる。

【0185】この実施の形態では、ワード線を立ち上

げ、メモリセル 42 の強誘電体キャパシタの両端の電位を短絡するときにノード A 側とノード B の時定数がほぼ同じである。

【0186】第 1 の実施の形態ではプレート線 PL は多くのビットが共通に接続されており、大きな容量（プレート容量）を持っているため、ノード A とノード B の時定数が大きく異なって、電位の変化が異なり、セルに意図せぬストレスがかかる可能性があったが、この実施の形態ではノード A とノード B との容量アンバランスを取り除き、このストレスが生じにくくすることができる。

【0187】なお、本実施の形態においても第 5 の実施の形態同様の効果を得ることができる。

【0188】（第 8 の実施の形態）本実施の形態では、アドレスバッファの構成、装置の全体構成、及びセルアレイの構成は、第 5 の実施の形態と同じく、図 4、13、14 の構成である。読み出し時の方法は第 5 の実施の形態と同じであるが、再書き込み時のタイミングが異なる。

【0189】本実施の形態は第 6 の実施の形態と第 7 の実施の形態を組み合わせたものである。

【0190】すなわち、この実施の形態では、再書き込み時のタイミングは第 6 の実施の形態の再書き込み時のタイミングと同じであり、プレート線 PL の電圧は第 7 の実施の形態と同じ（たとえば電源電圧の 1/2 に固定）である。

【0191】第 8 の実施の形態におけるコントロール回路の構成は図 21 に示される通りであり、第 4 の実施の形態におけるコントロール回路の構成とはほぼ同様である。しかしながら、第 4 の実施の形態におけるコントロール回路に加えて、第 8 インバータ 17 の出力信号が入力される第 10 遅延回路 72 が設けられ、外部チップイネーブル信号 CE1 が入力される第 11 遅延回路 75 がさらに設けられている。この第 10 遅延回路 72 及び第 11 遅延回路 75 の出力信号、第 1 のチップイネーブル遅延信号 CED1 が入力される第 2 ノア回路 73 が設けられている。さらにこの第 2 ノア回路 73 の出力信号が入力される第 12 インバータ 74 が備えられている。第 12 インバータ 74 からはプレート線接続信号 PSEL が出力されている。

【0192】図 22 に第 8 の実施の形態の読み出し時の主要な信号及びノードの信号チャートが示される。図中、各信号は点線で示されるタイミングにおいて同期が採られている。

【0193】プレート線接続信号 PS の波形が加えられている以外は第 4 の実施の形態と同一となっている。プレート線接続信号 PS の波形は第 6 の実施の形態と同一の波形となっている。

【0194】この実施の形態では、プレート線 PL 電位を固定（たとえば電源電圧の 1/2）している。また、ビット線プリチャージ電位も電源電圧の 1/2 である。

【0195】本実施の形態においても第 5 の実施の形態同様の効果を得ることができる。

【0196】（第 9 の実施の形態）本実施の形態では、装置の全体構成、セルアレイの構成、及びアドレスバッファの構成は、第 1 の実施の形態と同じく、図 2、3、4 の構成である。コントロール回路も第 1 の実施の形態と同じく、図 1 のコントロール回路の構成である。読み出し時の方法は第 1 の実施の形態と同じであり、また再書き込み時のタイミングも第 1 の実施の形態と同じであるが、ビット線プリチャージ電位が異なり、電源電圧である。本実施の形態の動作については主に、第 1 の実施の形態と異なる部分のみを説明する。

【0197】図 23 は、第 9 の実施の形態に関わる主要信号及びノードの読み出し時の信号チャートを示す。図中、各信号は点線で示されるタイミングにおいて同期が採られている。

【0198】ブロック選択信号 BS0 電位が“L”の状態では、メモリセル群がビット線 BLB から切り離され、ビット線 BLB の電位は、“H”レベル（この実施例では電源電位）にある。ブロック選択信号 BS0 電位が“L”から“H”になり、メモリセル群がビット線 BLB に接続して、ビット線 BLB の電位は、選択メモリセルの電荷がビット線に転送される。さらにプレート線 PL2 の電位が“L”レベルから“H”レベルに変位することで、メモリセルのデータに応じた電位になる。ビット線 BLB の電位は、さらにセンスアンプ SA が“L”レベルから“H”レベルになるタイミングで、センスアンプによって増幅され、メモリセルのデータに応じて“H”レベルまたは“L”レベルに変位する。また、ビット線 BLB の電位は、センスアンプ制御信号 SA が“H”レベルから“L”レベルへ変位したタイミングで、“H”レベルの場合は“L”レベルへ変位する。

【0199】第 2 チップイネーブル遅延信号 CED2 が“H”レベルから“L”レベルへ変位したタイミングで、ロウアドレスイネーブル信号 RAE は“H”レベルから“L”レベルへ変位する。

【0200】ロウアドレスイネーブル信号 RAE が“H”レベルから“L”レベルへ変位したタイミングで、デコードが非選択となりワード線 WL1 の電位は“L”レベルから“H”レベルへ変位し、ワード線も非選択となりメモリセルの両端を短絡する。

【0201】ワード線 WL1 電位は“L”レベルから“H”レベルへ変位したタイミングでノード A は“0”レベルに変位し、プレート線と同電位になる。

【0202】図 23 に示されるように、読み出し後の再書き込みは、“0”データの再書き込みはプレート線 PL = “H”のままでビット線 BLB = “L”の状態で行われる。

【0203】“1”データの再書き込みは、プレート線 PL2 電位が立下った後選択ワード線 WL1 を非選択に

するタイミングまで一定時間行われる。

【0204】データ書き込み時も同様にプレート線PL2の電位の立下り後選択ワード線WL1を非選択にするタイミングまで一定時間行われる。

【0205】なお、本実施の形態においても第1の実施の形態同様の効果を得ることができる。

【0206】(第10の実施の形態) 本実施の形態では、装置の全体構成、セルアレイの構成、及びアドレスバッファの構成は、第1の実施の形態と同じく、図2、3、4の構成である。コントロール回路は第2の実施の形態と同じく、図7のコントロール回路の構成である。読み出し時の方法は第1の実施の形態と同じであるが、再書き込み時のタイミングが異なる。さらに、本実施の形態では、ビット線プリチャージ電位は第1の実施の形態と異なり、電源電圧である。本実施の形態の動作については主に、第2の実施の形態と異なる部分のみを説明する。

【0207】図24は、第10の実施の形態に関わる主要信号及びノードの読み出し時の信号チャートを示す。図中、各信号は点線で示されるタイミングにおいて同期が採られている。

【0208】ブロック選択信号BS0電位が“L”の状態では、メモリセル群がビット線BLBから切り離され、ビット線BLBの電位は、“H”レベル(この実施例では電源電位)にある。ブロック選択信号BS0電位が“L”から“H”になり、メモリセル群がビット線BLBに接続して、ビット線BLBの電位は、選択メモリセルの電荷がビット線に転送される。さらにプレート線PL2の電位が“L”レベルから“H”レベルに変位することで、メモリセルのデータに応じた電位になる。ビット線BLBの電位は、さらにセンスアンプSAが“L”レベルから“H”レベルになるタイミングで、センスアンプによって増幅され、メモリセルのデータに応じて“H”レベルまたは“L”レベルに変位する。また、ビット線BLBの電位は、センスアンプ制御信号SAが“H”レベルから“L”レベルへ変位したタイミングで、“H”レベルの場合は“L”レベルへ変位する。

【0209】第2チップイネーブル遅延信号CED2が“H”レベルから“L”レベルへ変位したタイミングで、ロウアドレスイネーブル信号RAEは“H”レベルから“L”レベルへ変位する。

【0210】ロウアドレスイネーブル信号RAEが“H”レベルから“L”レベルへ変位したタイミングで、デコーダが非選択となりワード線WL1の電位は“L”レベルから“H”レベルへ変位する。

【0211】ワード線WL1電位は“L”レベルから“H”レベルへ変位したタイミングでノードAは“0”レベルに変位する。

【0212】図24に示されるように、読み出し後の再書き込みは、“0”データの再書き込みはプレート線P

L=“H”のままでビット線BLB=“L”の状態で行われる。

【0213】“1”データの再書き込みについては、プレート線PL2電位が立下った後選択ワード線WL1を非選択にするタイミングを外部チップイネーブル信号CEBの立下りで行っている。このようにすることにより、次の読み出しサイクルの始まりまで、あるいは次の書き込みサイクルの始まりまで“1”データの書き込みを行うことができ、十分な“1”データの書き込みが可能となる。

【0214】データ書き込み時も同様にプレート線PL2の電位の立下り後選択ワード線WL1を非選択にするタイミングを外部チップイネーブル信号CEBの立下りで行っている。

【0215】なお、本実施の形態においても第2の実施の形態同様の効果を得ることができる。

【0216】(第11の実施の形態) 本実施の形態では、アドレスバッファの構成は、第1の実施の形態と同じく、図4の構成である。読み出し時の方法は第1の実施の形態と同じであり、またコントロール回路は第5の実施の形態と同じく、図15のコントロール回路の構成である。また、第5の実施の形態と同じく、図13に示されるように、この実施の形態では、メモリセルとプレート線とを接続したり、切り離したりするためのスイッチ駆動回路70が新たに追加されており、ワード線選択解除時の駆動方法が第1の実施の形態と異なる。

【0217】さらに、本実施の形態では、ビット線プリチャージ電位は第1の実施の形態と異なり、電源電圧である。本実施の形態の動作については主に、第5の実施の形態と異なる部分のみを説明する。

【0218】図25は、第11の実施の形態に関わる主要信号及びノードの読み出し時の信号チャートを示す。図中、各信号は点線で示されるタイミングにおいて同期が採られている。

【0219】ブロック選択信号BS0電位が“L”の状態では、メモリセル群がビット線BLBから切り離され、ビット線BLBの電位は、“H”レベル(この実施例では電源電位)にある。ブロック選択信号BS0電位が“L”から“H”になり、メモリセル群がビット線BLBに接続して、ビット線BLBの電位は、選択メモリセルの電荷がビット線に転送される。さらにプレート線PL2の電位が“L”レベルから“H”レベルに変位することで、メモリセルのデータに応じた電位になる。ビット線BLBの電位は、さらにセンスアンプSAが“L”レベルから“H”レベルになるタイミングで、センスアンプによって増幅され、メモリセルのデータに応じて“H”レベルまたは“L”レベルに変位する。また、ビット線BLBの電位は、センスアンプ制御信号SAが“H”レベルから“L”レベルへ変位したタイミングで、“H”レベルの場合は“L”レベルへ変位する。

31

【0220】第2チップイネーブル遅延信号CED2が“H”レベルから“L”レベルへ変位したタイミングで、ロウアドレスイネーブル信号RAEは“H”レベルから“L”レベルへ変位する。

【0221】ロウアドレスイネーブル信号RAEが“H”レベルから“L”レベルへ変位したタイミングで、デコーダが非選択となりワード線WL1の電位は“L”レベルから“H”レベルへ変位し、ワード線も非選択となりメモリセルの両端を短絡する。

【0222】ワード線WL1電位は“L”レベルから“H”レベルへ変位したタイミングでノードAは“0”レベルに変位し、プレート線と同電位になる。

【0223】図25に示されるように、読み出し後の再書き込みは、“0”データの再書き込みはプレート線PL=“H”のままでビット線BLB=“L”の状態で行われる。

【0224】“1”データの再書き込みは、プレート線PL2電位が立下った後選択ワード線WL1を非選択にするタイミングまで一定時間行われる。

【0225】データ書き込み時も同様にプレート線PL2の電位の立下り後選択ワード線WL1を非選択にするタイミングまで一定時間行われる。

【0226】なお、本実施の形態においても第5の実施の形態同様の効果を得ることができる。

【0227】(第12の実施の形態)本実施の形態では、アドレスバッファの構成、装置の全体構成、及びセルアレイの構成は、第5の実施の形態と同じく、図4、13、14の構成である。読み出し時の方法は第5の実施の形態と同じであるが、再書き込み時のタイミングが異なる。またコントロール回路は第6の実施の形態と同じく、図17のコントロール回路の構成である。さらに、本実施の形態では、ビット線プリチャージ電位は第1の実施の形態と異なり、電源電圧である。本実施の形態の動作については主に、第6の実施の形態と異なる部分のみを説明する。

【0228】本実施の形態における主要信号及びノードの動作波形が図26に示される。図中、各信号は点線で示されるタイミングにおいて同期が採られている。

【0229】、各信号は点線で示されるタイミングにおいて同期が採られている。

【0230】ブロック選択信号BS0電位が“L”の状態では、メモリセル群がビット線BLBから切り離され、ビット線BLBの電位は、“H”レベル(この実施例では電源電位)にある。ブロック選択信号BS0電位が“L”から“H”になり、メモリセル群がビット線BLBに接続して、ビット線BLBの電位は、選択メモリセルの電荷がビット線に転送される。さらにプレート線PL2の電位が“L”レベルから“H”レベルに変位することで、メモリセルのデータに応じた電位になる。ビット線BLBの電位は、さらにセンスアンプSAが

32

“L”レベルから“H”レベルになるタイミングで、センスアンプによって増幅され、メモリセルのデータに応じて“H”レベルまたは“L”レベルに変位する。また、ビット線BLBの電位は、センスアンプ制御信号SAが“H”レベルから“L”レベルへ変位したタイミングで、“H”レベルの場合は“L”レベルへ変位する。

【0231】第2チップイネーブル遅延信号CED2が“H”レベルから“L”レベルへ変位したタイミングで、ロウアドレスイネーブル信号RAEは“H”レベルから“L”レベルへ変位する。

【0232】ロウアドレスイネーブル信号RAEが“H”レベルから“L”レベルへ変位したタイミングで、デコーダが非選択となりワード線WL1の電位は“L”レベルから“H”レベルへ変位する。

【0233】ワード線WL1電位は“L”レベルから“H”レベルへ変位したタイミングでノードAは“0”レベルに変位する。

【0234】読み出し後の再書き込みは、“0”データの再書き込みはプレート線PL=“H”のままでビット線BLB=“L”の状態で行われる。

【0235】図26に示されるように、“1”データの再書き込みについては、プレート線PL2電位が立下った後選択ワード線WL1を非選択にするタイミングを外部チップイネーブル信号CEBの立下りで行っている。このようにすることにより、次の読み出しサイクルの始まりまで、あるいは次の書き込みサイクルの始まりまで“1”データの書き込みを行うことができ、十分な“1”データの書き込みが可能となる。

【0236】データ書き込み時も同様にプレート線PL2の電位の立下り後選択ワード線WL1を非選択にするタイミングを外部チップイネーブル信号CEBの立下りで行っている。

【0237】なお、本実施の形態においても第6の実施の形態同様の効果を得ることができる。

【0238】

【発明の効果】以上のべた各実施例から明らかなように、本発明によれば、セルデータの書き込みを十分に行うことができ、データ保持特性が向上した強誘電体メモリデバイスを有する半導体記憶装置を提供することが可能となる。

【図面の簡単な説明】

【図1】第1の実施の形態のコントロール回路の構成図。

【図2】第1乃至第4の実施の形態の半導体記憶装置の構成図。

【図3】第1乃至第4の実施の形態のメモリセルアレイの構成を示す回路図。

【図4】第1乃至第12の実施の形態のアドレスバッファを示す回路図。

【図5】第1の実施の形態の動作を表すタイミングチャ

ート。

【図 6】強誘電体メモリの読み出し信号量の書き込み電圧依存性を示す特性図。

【図 7】第 2 の実施の形態のコントロール回路の構成図。

【図 8】第 2 の実施の形態の動作を表すタイミングチャート。

【図 9】第 3 の実施の形態のコントロール回路の構成図。

【図 10】第 3 の実施の形態の動作を表すタイミングチャート。 10

【図 11】第 4 の実施の形態のコントロール回路の構成図。

【図 12】第 4 の実施の形態の動作を表すタイミングチャート。

【図 13】第 5 乃至第 8 の実施の形態の半導体記憶装置の構成図。

【図 14】第 5 乃至第 8 の実施の形態のメモリセルアレイの構成を示す回路図。

【図 15】第 5 の実施の形態のコントロール回路の構成図。 20

【図 16】第 5 の実施の形態の動作を表すタイミングチャート。

【図 17】第 6 の実施の形態のコントロール回路の構成図。

【図 18】第 6 の実施の形態の動作を表すタイミングチャート。

【図 19】第 7 の実施の形態のコントロール回路の構成図。

【図 20】第 7 の実施の形態の動作を表すタイミングチャート。 30

【図 21】第 8 の実施の形態のコントロール回路の構成図。

【図 22】第 8 の実施の形態の動作を表すタイミングチャート。

【図 23】第 9 の実施の形態の動作を表すタイミングチャート。

【図 24】第 10 の実施の形態の動作を表すタイミングチャート。

【図 25】第 11 の実施の形態の動作を表すタイミングチャート。 40

【図 26】第 12 の実施の形態の動作を表すタイミング

チャート。

【図 27】従来の強誘電体メモリの分極方向とメモリ内容を示す回路図。

【図 28】従来の TC 並列ユニット直列接続型強誘電体メモリのメモリセルアレイ構成を示す回路図。

【図 29】従来の強誘電体メモリのコントロール回路の構成図。

【図 30】従来の強誘電体メモリの動作を表すタイミングチャート。

【符号の説明】

1～9 第 1 乃至第 9 遅延回路

10～20 第 1 乃至第 11 インバータ

21～26 第 1 乃至第 6 ナンド回路

27, 65 第 1 ノア回路

30 チップイネーブルバッファ

31 コントロール回路

32 アドレスバッファ

33 プリデコーダ

34 入出力バッファ

35 ブロック選択線駆動回路

36 ワード線駆動回路

37 プレート線駆動回路

38 メモリセルアレイ

39 センスアンプ／入出力回路

40 セルトランジスタ

41 キャパシタ

42 メモリセル

43 メモリセル群

44 ブロック選択トランジスタ

50 ノア回路

51 トランスファゲート

52 第 1 ナンド回路

53 第 2 ナンド回路

54～60 第 1 乃至第 7 インバータ

66, 73 第 2 ノア回路

67 第 8 インバータ

70 スイッチ駆動回路

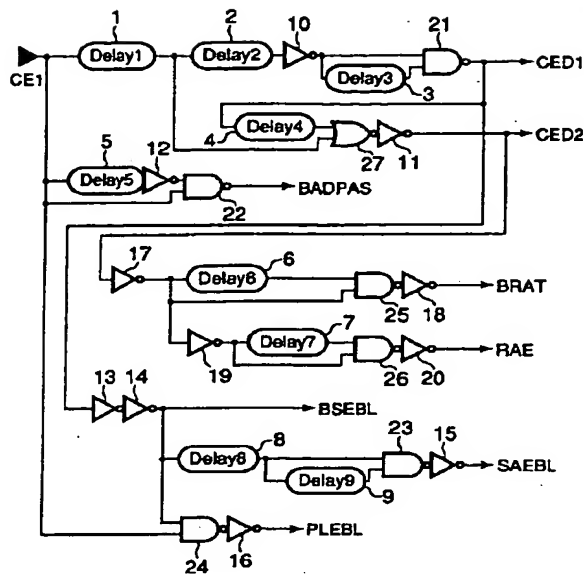
71 プレート線選択トランジスタ

72 第 10 遅延回路

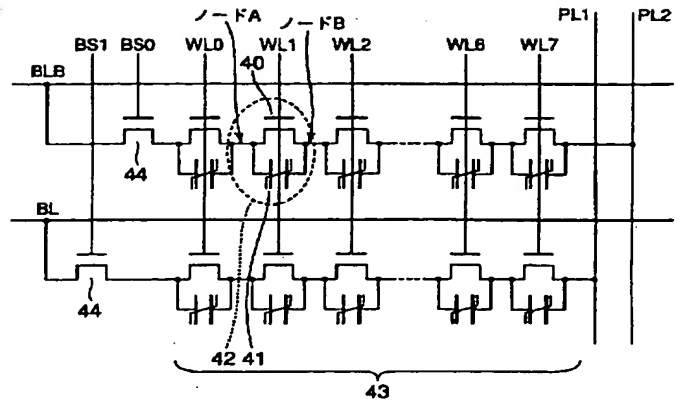
74 第 9 インバータ

75 第 11 遅延回路

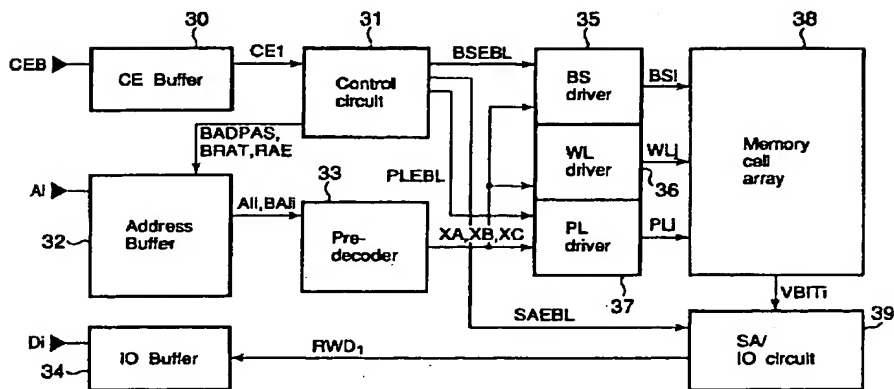
【図1】



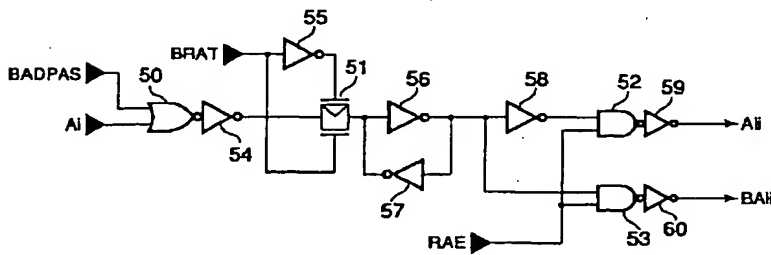
【図3】



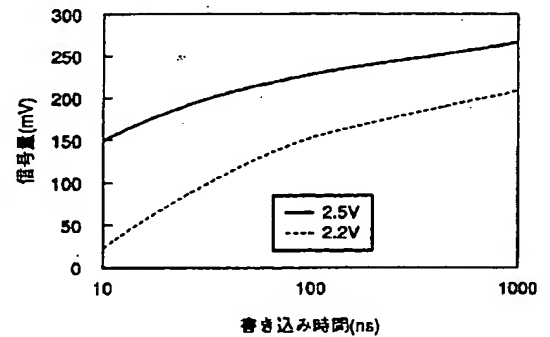
【図2】



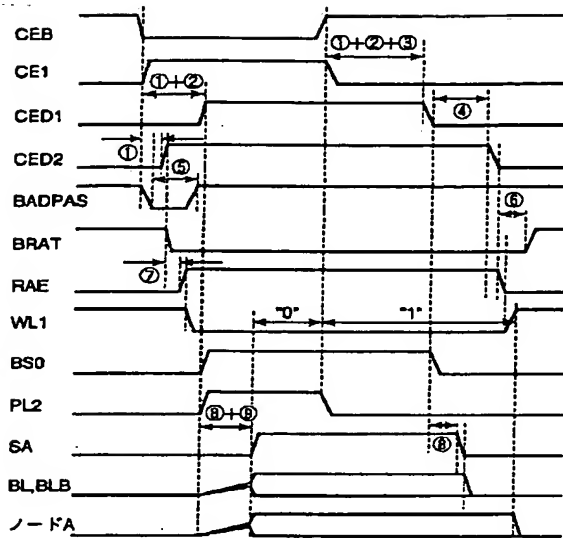
【図4】



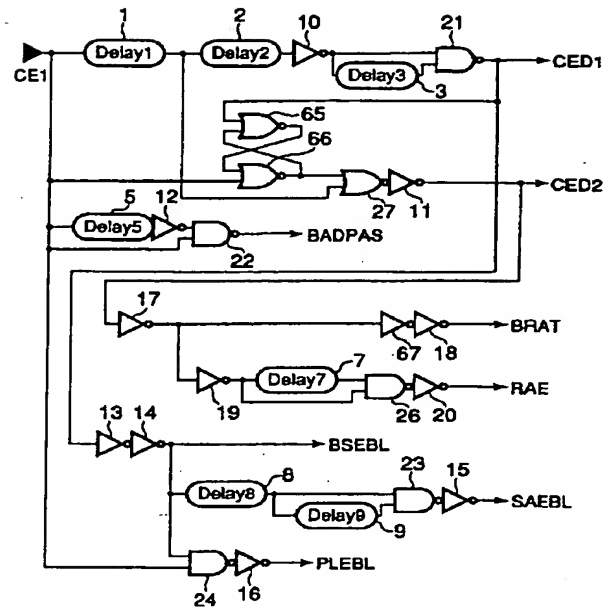
【図6】



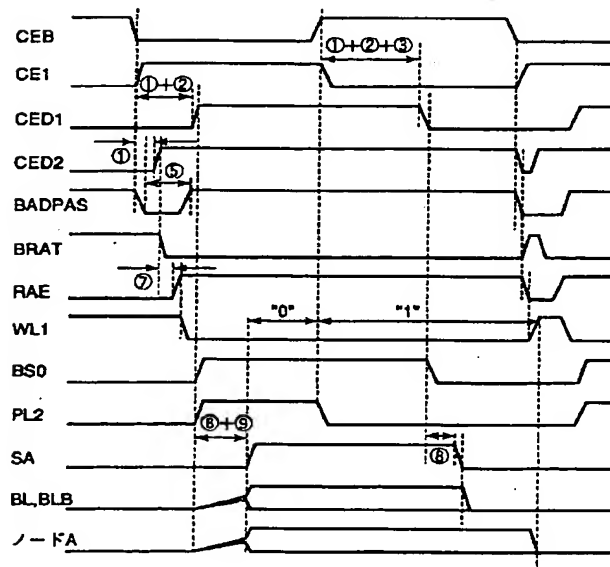
【図 5】



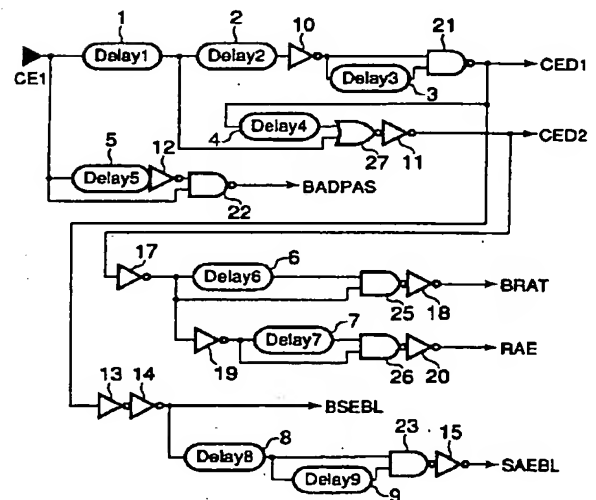
【図 7】



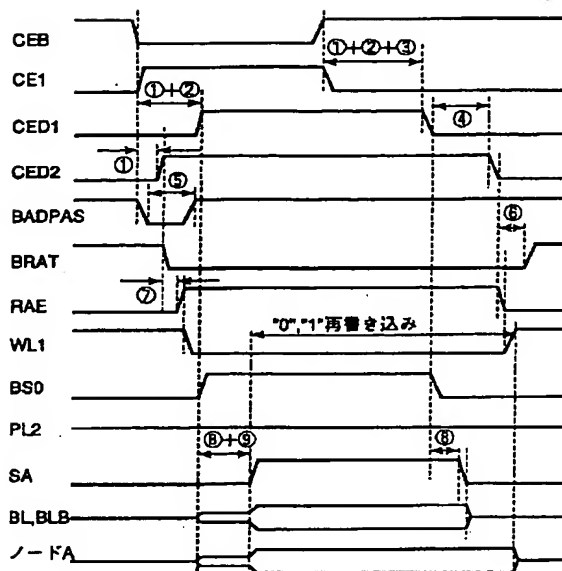
【図 8】



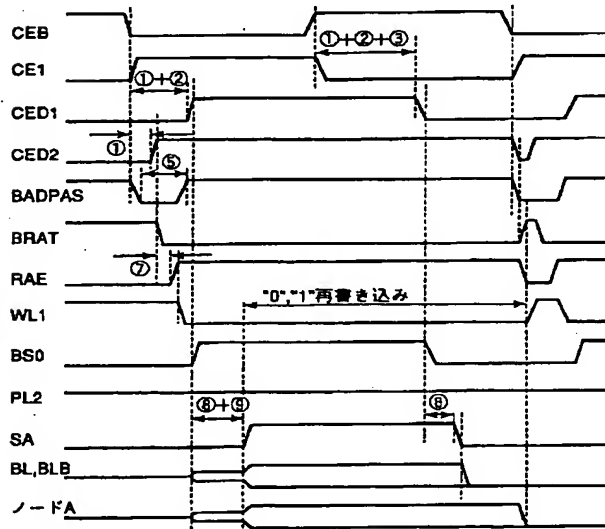
【図 9】



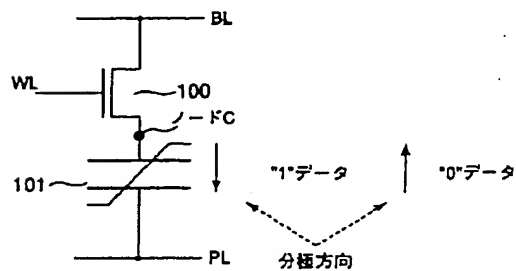
【図10】



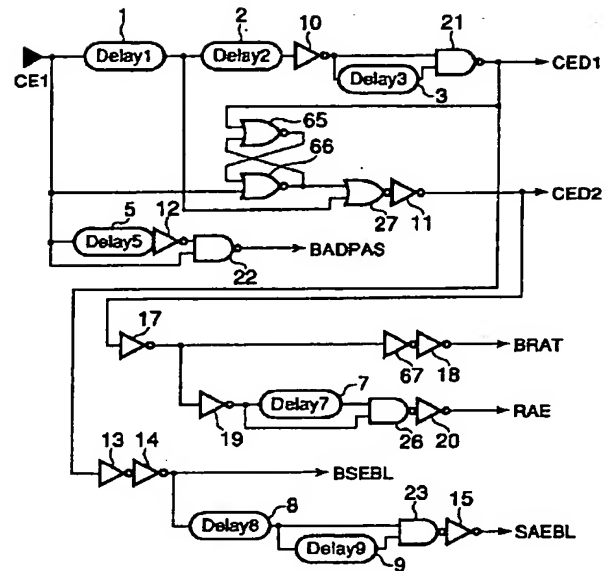
【図12】



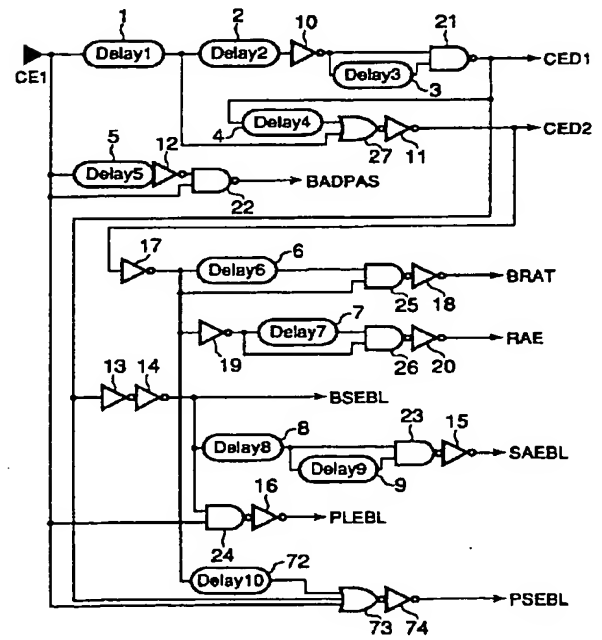
【図27】



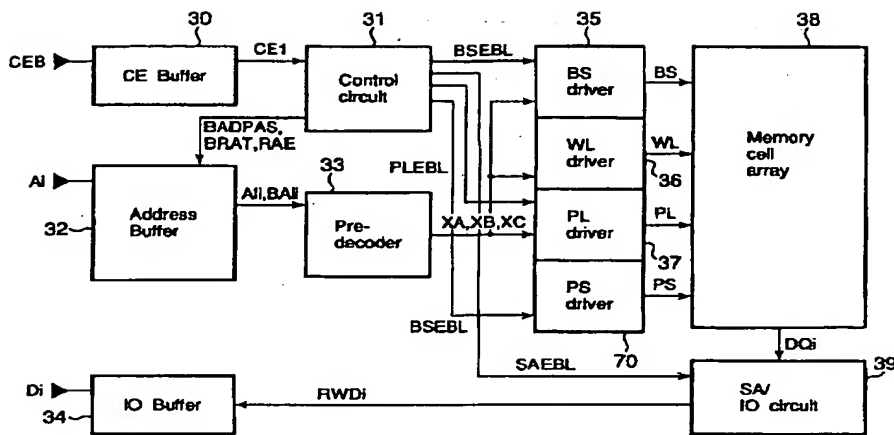
【図11】



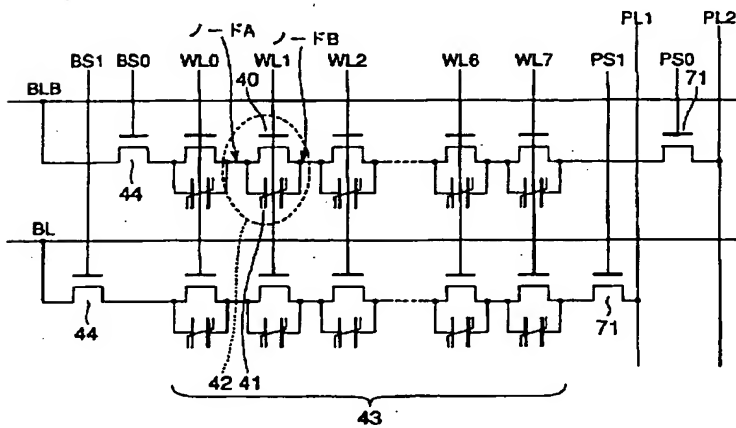
【図15】



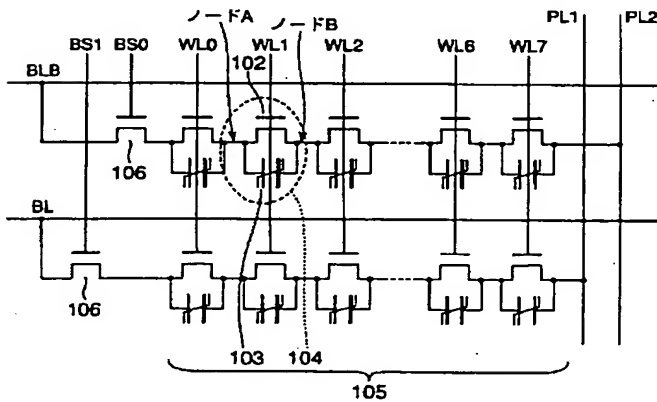
【図13】



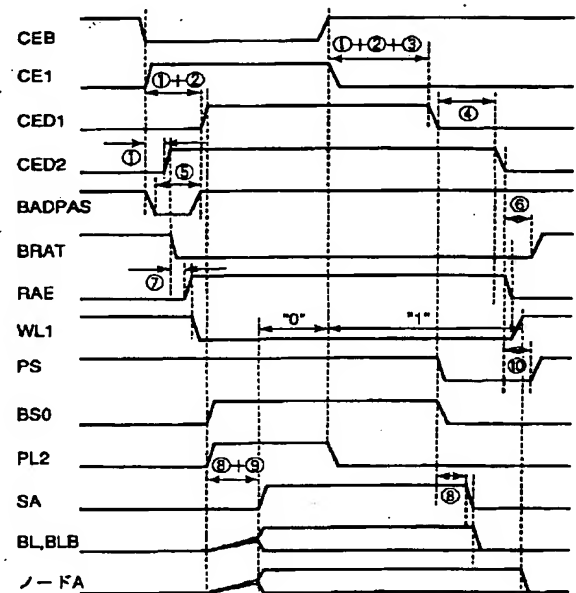
【図14】



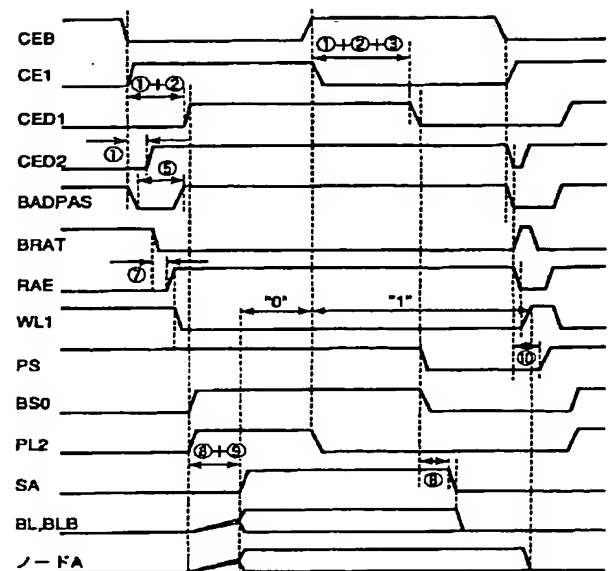
【図28】



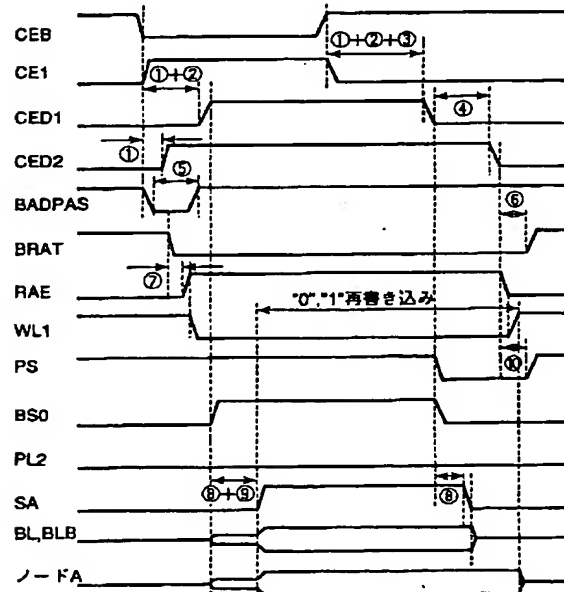
【図16】



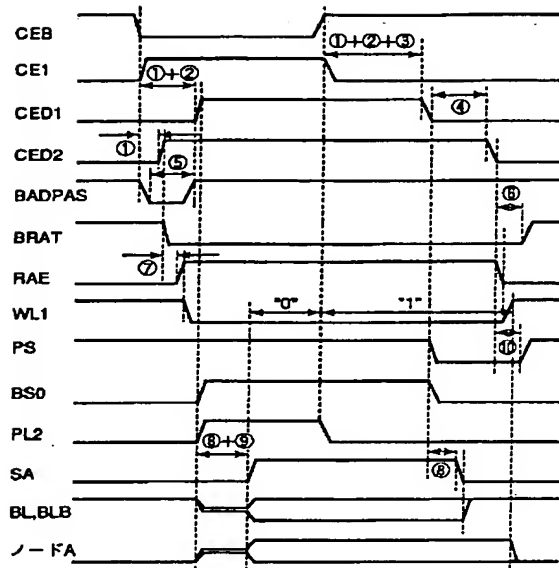
【图 18】



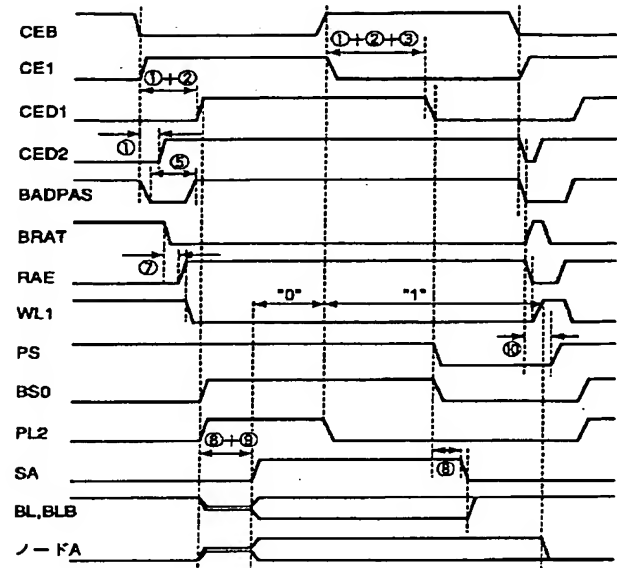
【図 20】



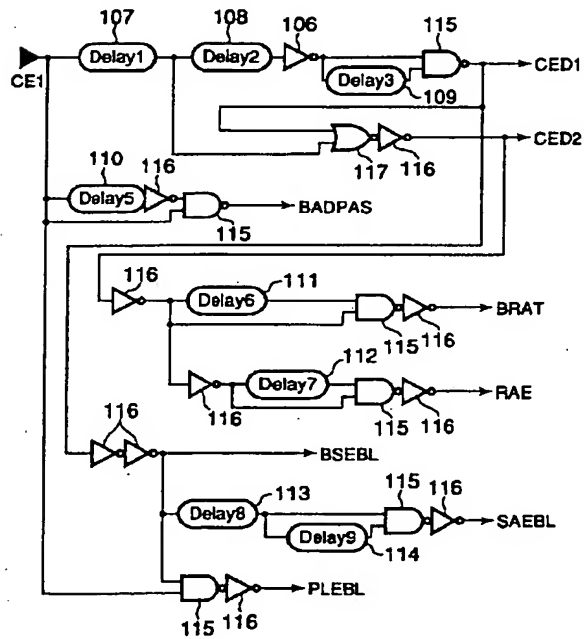
【図 25】



【図 26】



【図 29】



【図 30】

